

МИКРОПРОЦЕССОРЫ В МЕТОДИКЕ ИССЛЕДОВАНИЙ ЭЛЕМЕНТАРНЫХ ЧАСТИЦ

И. Ф. Колпаков

Объединенный институт ядерных исследований, Дубна

Рассмотрены тенденции развития технологии микросхем на ближайшие десятилетия и вытекающие отсюда следствия по применению средств вычислительной техники в физических лабораториях.

Анализируются основные области применения микропроцессоров в научных исследованиях. Рассматриваются основные элементы, используемые для создания компьютеров с микропроцессорами.

Выполнен обзор систем отбора и регистрации данных с использованием микропроцессоров. Рассмотрены перспективы создания систем обработки данных на основе микропроцессоров. Сформулированы требования к новой модульной электронной аппаратуре с микропроцессорами. Сравняются новые стандарты электроники для микропроцессорных систем.

Trends toward the IC-technology development and arising consequences for the application of computing aids at physics laboratories are presented.

Main fields of microprocessors applications in scientific research are analysed. Basic elements for building the microcomputing aids are considered.

A review of data acquisition and selection systems using microprocessors is made. Prospects of microprocessor-based data handling systems are considered. Requirements for a new generation of microprocessor-based electronics hardware are stated. New standards of the microprocessor systems are compared.

ВВЕДЕНИЕ

Потребности физики атомного ядра и элементарных частиц в свое время стимулировали создание современных электронных вычислительных машин. Электронные вычислительные машины стали базой информатики, на которой во многом основывается научно-технический прогресс в современном обществе. В настоящее время развитие информатики определяется прогрессом в области микроэлектроники. Методические результаты, полученные в физике элементарных частиц, и ее потребности хотя и не были причиной современного стремительного развития микроэлектроники, но оказали и оказывают сильное влияние на ее применение в области информатики и, таким образом, на современный научно-технический прогресс в целом. Так было, например, с модульной аппаратурой КАМАК, которая появилась впервые в области физики высоких энергий, а в настоящее широко используется для создания автоматизированных систем далеко за пределами области научных исследований. Не составляет исключения и полученный в настоящее время

опыт применения микропроцессоров для регистрации и обработки данных в физике элементарных частиц.

Микропроцессоры начали использоваться в физических лабораториях практически сразу после их появления в 1972 г. Основные области применения микропроцессоров наметились в течение первых пяти лет до 1978 г. Именно в этот период были созданы эффективные триггеры с микропроцессорами в спектрометрах физики высоких энергий, микропроцессорные аналоги больших и малых ЭВМ для регистрации и обработки данных, началось широкое применение микро-ЭВМ в физических установках. Применение микропроцессоров в аппаратуре физических экспериментов следует рассматривать как продолжение начавшегося в 70-х годах процесса приложения достижений микроэлектроники для лабораторных исследований, которое привело в настоящее время к широкому использованию сверхбольших интегральных схем (СБИС).

1. СВЕРХБОЛЬШИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ

Тенденции развития. В течение последнего десятилетия ряд новых методов в области технологии производства интегральных микросхем позволил достигнуть плотности размещения до нескольких сотен тысяч логических элементов в пределах одной пластины кремния, имеющей площадь от одного до нескольких квадратных миллиметров. Такая пластина заключается обычно в плоский корпус с площадью в несколько квадратных сантиметров. Число элементов, размещенных в корпусе, с начала 70-х годов ежегодно увеличивается почти в 2 раза, и эта тенденция, по прогнозам, сохранится до начала 90-х годов, когда возможности современной технологии окажутся близкими к физическому пределу размеров элементов [1, 2], определяемому шириной светового пучка и длиной волны источника излучения. Дело в том, что элементы на пластине кремния формируются фотолитографическим способом, путем сканирования световым лучом специально приготовленных в многократно увеличенном масштабе фотомасок. Полученное изображение затем вытравливается. Плотность размещения элементов определяется минимально возможным на уровне существующей технологии расстоянием между проводниками.

Современная технология использует источники света в видимом диапазоне. Минимальное расстояние между проводниками для них составляет несколько микрометров. Использование синхротронного излучения в ультрафиолетовом и рентгеновском диапазоне позволит уменьшить расстояние между проводниками по крайней мере на порядок.

На рис. 1 показана кривая роста емкости полупроводниковой памяти, размещенной в одном кристалле, прогнозируемая вплоть до 2015 г. [2]. В настоящее время емкость памяти в одном корпусе микросхемы составляет 256 кбит. В середине 90-х годов на одном

кристалле будет заключено до 4 млн. ячеек памяти. Предполагается, что в дальнейшем увеличение плотности размещения будет продолжаться, хотя и несколько замедлится — удвоение емкости памяти в одном кристалле будет достигаться примерно через каждые 2 года. При существующих объемах выпуска микросхем это означает, что к концу века на каждого жителя Земли будет выпускаться число ячеек полупроводниковой памяти, равное числу нейронов в головном мозге (примерно $20 \cdot 10^9$). Следует заметить, что такой электронный количественный эквивалент человеческого мозга даже при существующей сейчас технологии конструирования электронной аппаратуры будет иметь сравнительно небольшой объем (несколько десятых кубических метра). Интересно напомнить, что 30 лет назад для размещения такого устройства потребовался бы примерно объем здания МГУ.

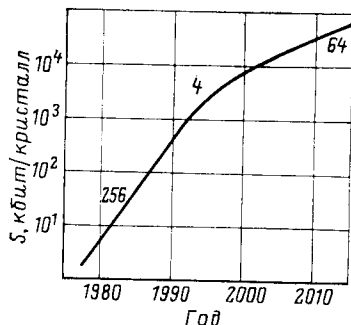


Рис. 1. Прогноз роста емкости полупроводниковой памяти, размещаемой на одном кристалле

Из кривой, показанной на рис. 1, следует, что микроэлектроника является одной из самых быстро развивающихся областей человеческой деятельности (100 %-ный ежегодный рост). Каждый из этапов

Таблица 1. Классификация интегральных микросхем

Степень интеграции	Число элементов в корпусе	Пример устройства в корпусе
Малая (МСИ)	$10^1 - 10^2$	Логический вентиль, триггер
Средняя (ССИ)	$10^2 - 10^3$	Счетчик, сумматор
Большие интегральные схемы (БИС)	$10^3 - 10^4$	Арифметическое устройство, память, микропроцессор в калькуляторе, канал регистрации проволочных камер
СБИС	$10^4 - 10^6$	Монолитный процессор, память большой емкости, персональный компьютер, цифровой синтезатор речи

развития микроэлектроники означал существенный скачок в аппаратуре физических экспериментов. Классификация интегральных микросхем по плотности размещения элементов в корпусе, характеризующая эти этапы, приведена в табл. 1.

С появлением интегральных схем (малой степени интеграции) в конце 60-х — начале 70-х годов была разработана модульная аппа-

ратура регистрации и обработки данных, появились надежные малые ЭВМ для экспериментов на линии. Схемы средней степени интеграции позволили значительно расширить возможности электронных методов регистрации. Возросло в несколько раз число каналов регистрации, размещаемых в одном модуле электронной аппаратуры, появились первые микросхемы каналов регистрации с проволочных камер, увеличились возможности и надежность мини-ЭВМ. С большими интегральными схемами (БИС) связано появление карманных микрокалькуляторов и малых ЭВМ, по производительности не уступающих прежним большим компьютерам. Создание СБИС позволило выполнить полный процессор ЭВМ на одном кристалле, разработать настольные (персональные) компьютеры с высокой производительностью, электронные переводчики, цифровые синтезаторы речи.

Массовое производство новых и различных СБИС предоставляет разработчикам электронной аппаратуры логические устройства, способные выполнять сложные алгоритмы, которые раньше осуществлялись только на ЭВМ, с большей скоростью и при меньших затратах.

Среди СБИС наиболее важными с точки зрения использования в аппаратуре физики высоких энергий являются микропроцессоры (МП) и полупроводниковые запоминающие устройства (ЗУ).

Микропроцессор. Под микропроцессором понимается набор БИС, на которых могут быть выполнены центральный процессор (ЦП), оперативное запоминающее устройство (ОЗУ) и каналы обмена с подключаемыми к нему другими устройствами. Процессор характеризуется длиной слова, или разрядностью, и временем выполнения одной операции t_0 , или быстродействием. Имеются технологические, а также чисто топологические ограничения, не позволяющие разместить полный компьютер с достаточно большой длиной слова или высоким быстродействием внутри одного корпуса микросхемы. Поэтому функциональные части компьютера разносят по отдельным микросхемам. По типу размещения МП подразделяются на монолитные, наборные и секционированные. В частности, ЦП может размещаться на одной БИС, где находятся арифметическое и логическое устройство (АЛУ), устройство управления, буфер ввода-вывода данных и регистры для промежуточного хранения слов. Под монолитным МП понимают именно такое законченное программируемое процессорное устройство, размещенное на одной пластине. Наборными называют микропроцессоры, располагающиеся на нескольких элементах с одинаковой длиной слова. Секционированный микропроцессор выполняют в виде секций с малым числом разрядов, из которых при необходимости можно собрать процессор с любой требуемой длиной слова.

На рис. 2 показана в качестве примера упрощенная структурная схема микропроцессора Intel 8080А, входящего в широко распространенный набор. В этой БИС расположены 8-разрядное АЛУ, устройство управления и временной селекции (УУ и ВС), набор из шести регистров, счетчик программ (СП) и указатель так называемой стековой памяти (УС). Название этот тип памяти получил от англий-

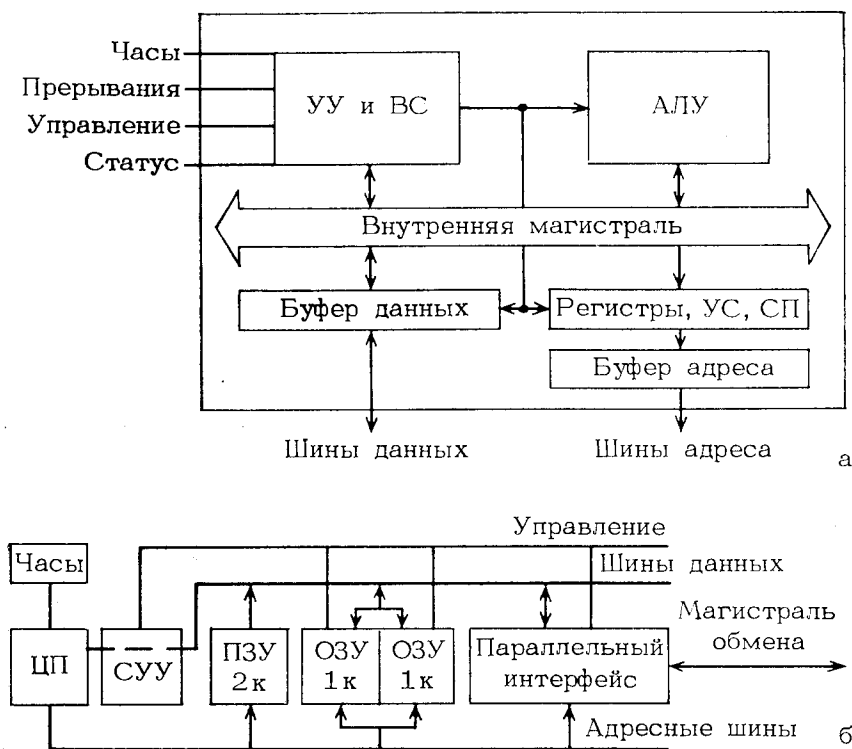


Рис. 2. Структура схема БИС центрального процессора из набора 8080А фирмы Intel (а), микро-ЭВМ (б)

ского слова stack по принципу организации — слова записываются в нее последовательно и могут быть извлечены в порядке записи. Организация памяти типа стековой стала возможной с появлением дешевых полупроводниковых БИС регистров. Она обычно используется как сверхоперативная быстрая память. Стековая память располагается вне данной БИС микропроцессора и может быть использована для прерываний выполняемой программы и вызова подпрограмм. У микропроцессора 8080А имеется один вход прерывания и восемь уровней прерывания и допускается подключение 256 входов или выходов.

На основе микропроцессоров могут быть выполнены различные микро-ЭВМ, не уступающие по ряду параметров современным малым ЭВМ, но имеющие гораздо меньшую стоимость. Микропроцессоры также могут быть использованы как элемент функциональных модулей, например, для предварительной обработки информации.

Первый 4-разрядный наборный микропроцессор был выпущен фирмой Intel в 1972 г. и послужил основой для создания микро-

калькуляторов. С тех пор разрядность наборных микропроцессоров непрерывно увеличивается (рис. 3), и в настоящее время появились уже 32-разрядные процессоры, в том числе процессор APX 432 фирмы Intel. Впоследствии были выпущены первые секционированные процессоры. Под минипроцессорами и процессорами на рис. 3 понимаются ожидаемые в ближайшем будущем монокристаллические полные процессоры, размещаемые в одном корпусе микросхемы. Одновременно снижалась стоимость микропроцессоров, что и позволило значительно расширить область их применения. В настоящее время микропроцессоры в развитых странах выпускаются сотнями миллионов штук ежегодно. Основные характеристики некоторых наиболее широко применяемых в аппаратуре физики высоких энергий наборных и секционированных микропроцессоров приведены в табл. 2 и 3

Таблица 2. Характеристики некоторых наборных микропроцессоров

Фирма	Тип	Длина слова	t_0 , мкс	Цена, долл.
Motorola	MC 68000 *	32	0,08—0,17	8,6—14,9
	MC 6800	8	0,5—1	4,95—6,0
Zilog	Z 80	8	0,17—0,5	8,0—15,0
	Z 8000 *	16/32	0,125	35,9
Texas Instruments	TMS 9900 *	16	—	70
Intel	8080	8	0,25—1	3,7
	8085	8	0,2—1	4,4
	8086	16	0,1—0,2	58,5—127,4
	APX 432 *	32	0,125	1470

Таблица 3. Характеристики некоторых секционированных микропроцессоров

Фирма	Тип	Длина слова	t_0 , нс	Цена, долл.
Advanced Micro Devices	2901	4	65	9,95
	2903	4	100	21,0
Motorola	10800	4	50	48,75
Texas Instruments	74S481	4	100	29,5

соответственно. Звездочкой помечены микропроцессоры, не имеющие аналогов в СССР или странах — членах СЭВ.

Полупроводниковые запоминающие устройства. Полупроводниковые запоминающие устройства характеризуются количеством информации, которую они могут хранить, или емкостью S , и временем чтения-записи слова t_0 , или быстродействием. Единицей измерения емкости памяти является бит или байт — величина, равная 8 бит. По способу хранения информации они подразделяются на статические и динамические. В последних записанная информация перио-

дически возобновляется. Динамические ЗУ имеют обычно большую емкость памяти. Особой разновидностью статических ЗУ являются программируемые (ПЗУ) и перепрограммируемые (ППЗУ). В первых информация заносится однажды и навсегда. Во вторых записанную

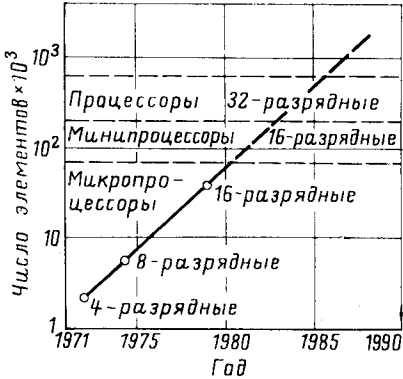


Рис. 3. Прогноз роста разрядности микропроцессоров по годам

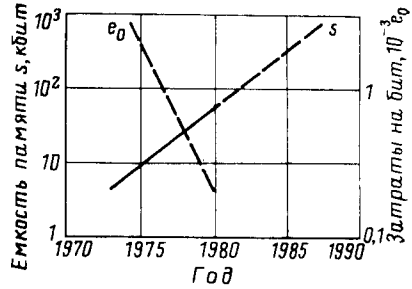


Рис. 4. Прогноз роста емкости полупроводниковой динамической памяти и снижение затрат на ячейку памяти

информацию можно стирать каким-либо способом, например облучением ультрафиолетовым светом, после чего ПЗУ может использоваться снова. Особым случаем постоянных ПЗУ являются программируемые логические матрицы (ПЛИМ), которые носят это название по способу внутренней организации.

Таблица 4. Характеристики некоторых ЗУ

Фирма	Тип	Категория	S, бит	t ₀ , нс
Harris	NM5-6564	Статическое	16к × 4	350
Hitachi	NM2142	»	4к × 1	7
Nippon Electric (NEC)	μPD23128	Постоянное, статическое	16к × 8	250
Texas Instruments	TRP28B166	Программируемое	2к × 8	20
Intel	27256	Перепрограммируемое	32к × 8	200
Texas Instruments	TMS4164-1520	Динамическое	64к	200
Motorola, Toshiba		»	64к × 4	100

На рис. 4 показан прогноз роста емкости памяти в одном кристалле S и падения затрат в пересчете на одну ячейку памяти e₀ для динамических ЗУ [1] (цены приведены в долларах США). Произведение S · e₀ остается примерно постоянным и даже уменьшается. Это означает, что при сохранении этой тенденции стоимость микросхемы памяти с емкостью, например, в 10 кбит для 1975 г. будет соответ-

ствовать стоимости памяти с емкостью около 1 мбит в середине 80-х годов. Та же тенденция прослеживается и для элементов статической памяти.

Снижение затрат на память расширило область применения ПЗУ, и в настоящее время микросхемы памяти выпускаются как и микропроцессоры, в количествах, исчисляемых сотнями миллионов штук.

Характеристики некоторых ЗУ приведены в табл. 4.

2. ОБЛАСТЬ ПРИМЕНЕНИЯ

Падение стоимости элементов микроэлектроники при одновременном увеличении надежности позволило расширить область их применения. В настоящее время использование СБИС в научных исследованиях распространяется:

- 1) на микро-ЭВМ;
- 2) на специализированные процессоры для отбора и регистрации событий;
- 3) на микроаналоги существующих малых, средних и больших ЭВМ;
- 4) на суперкомпьютеры (ЭВМ большой производительности);
- 5) на персональные (настольные) компьютеры;
- 6) на измерительные приборы со встроенными микропроцессорами и
- 7) на микрокалькуляторы.

В связи с тем, что плотность элементов возрастает за каждые 3—4 года примерно на порядок (см. рис. 1), все перечисленные выше

Таблица 5. Длительность цикла создания основных вычислительных средств с микропроцессорами

Наименование	Период обновления, лет
Микро-ЭВМ	3—5
Спецпроцессоры	1—3
Микроаналоги существующих ЭВМ	5—7
Суперкомпьютеры	5—7
Персональные компьютеры	2—3
Измерительные приборы	3—5
Микрокалькуляторы	1—2

изделия должны периодически обновляться, приобретая при этом новые качества и возможности. Этот период в зависимости от сложности изделий различен и составляет несколько лет.

В табл. 5 приведен цикл обновления основных устройств с микропроцессорами.

Таким образом, накладывается довольно жесткое ограничение на цикл

разработка — внедрение для современных изделий микроэлектроники и вычислительной техники, причем эта ситуация сохранится в соответствии с прогнозом, по крайней мере, еще три десятилетия. Для физических лабораторий это означает, что в планах финансирования должно быть каждое пятилетие заложено практически полное обновление (замена) средств вычислительной техники и измерительных приборов.

3. ЭФФЕКТИВНОСТЬ

Для практических оценок эффективности вычислительных систем используется критерий η , равный отношению производительности R к затратам на ЭВМ E [3]:

$$\eta = R/E. \quad (1)$$

Для оценок производительности ЭВМ существует ряд точных и приближенных критериев, применяемых на практике. К приближенным критериям относится среднее число миллионов операций в секунду (Моп/с) или среднее число миллионов операций с плавающей запятой в секунду (Мопз/с). В дальнейшем, как правило, для η будет использоваться первый критерий.

Таблица 6. Эффективность ЭВМ

Тип ЭВМ	Универсальные ЭВМ	Микро-ЭВМ с наборными микропроцессорами	Микро-ЭВМ и специпроцессоры на секционированных микропроцессорах
η	5	10^2	10^3

В табл. 6 приведены значения эффективности для некоторых ЭВМ, используемых в автоматизированных системах научных исследований. Заметную часть затрат на универсальные ЭВМ составляет стоимость периферийных устройств и математического обеспечения. В физических лабораториях, как правило, имеются уже большие ЭВМ, которые могут использоваться для подготовки математического обеспечения микропроцессорных систем, что уменьшает затраты на них. Кроме того, использование микропроцессоров и других СБИС позволяет получить на 2—3 порядка большее значение эффективности, во-первых, благодаря снижению затрат на элементы, во-вторых, использованию микрокоманд с большой длиной слова и, в-третьих, путем применения принципа параллелизма в обработке данных.

Производительность ЭВМ может быть увеличена за счет как уменьшения среднего времени выполнения операций t_0 , так и увеличения длины слова w , т. е. путем выполнения нескольких команд одновременно в процессоре с большим числом разрядов. Тогда эффективность будет оцениваться следующим образом:

$$\eta = \frac{w}{t_0 E}. \quad (2)$$

На рис. 5 в качестве примера показано, как три 4-разрядные команды могут быть исполнены вместо трех тактов T_0 , T_1 и T_2 одновременно, в одном такте T_0 , если формируется 12-разрядная микрокоманда. До появления дешевых БИС и СБИС техника микрокоманд

хотя и была известна, экономически была нецелесообразна. В настоящее время в микро-ЭВМ и специализированных процессорах используются микрокоманды с длиной слова в десятки, а иногда и более сотни разрядов.

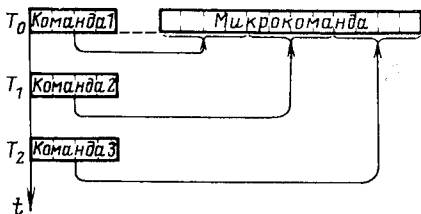


Рис. 5. Формирование и исполнение микрокоманды в микро-ЭВМ с секционированными микропроцессорами

Принцип параллелизма в обработке данных состоит в разделении всего потока данных на ряд потоков и параллельной обработке их на отдельных процессорах [4]. Этот принцип известен давно, однако до появления дешевых БИС и СБИС был экономически нецелесообразен и применялся только в суперкомпьютерах типа Su-

ber 205. Развитие микроэлектроники позволяет в настоящее время применять принцип параллелизма практически во всех вычислительных средствах.

Несмотря на значительное снижение затрат в аппаратурной части в микропроцессорных системах, затраты на их матобеспечение не уменьшились и составляют до 300% по отношению к стоимости аппаратуры.

Из упомянутых в разд. 2 микропроцессорных средств для методики физики ядра и элементарных частиц наибольшее значение имеют микро-ЭВМ, специализированные процессоры для отбора и регистрации событий, микроаналоги существующих ЭВМ большой производительности для регистрации и обработки данных, многопроцессорные суперкомпьютеры с новыми принципами организации и персональные компьютеры. Исторически первыми в физических лабораториях начали применяться микропроцессорные наборы.

4. МИКРОКОМПЬЮТЕРЫ

Структура и определения. Под микро-ЭВМ понимают выполненный на БИС центральный процессор с устройством управления, запояминающими устройствами и БИС сопряжения с внешними устройствами, необходимыми для общения пользователя с микрокомпьютером: дисплеем, клавиатурой и т. д. и для хранения больших массивов данных — магнитофонами и накопителями на магнитных дисках. В микро-ЭВМ обычно используется несколько типов запоминающих устройств: ОЗУ в виде упоминавшейся выше стековой памяти или в виде памяти со свободным доступом, где информация извлекается из любой ячейки памяти немедленно, как только на ее вход поступает адрес ячейки; программируемые ПЗУ и ППЗУ. Устройство сопряжения в общепринятой терминологии называется интерфейсом, поэтому соответствующие БИС носят название интерфейсных. Обмен данными, командами управления и адресами в памяти между раз-

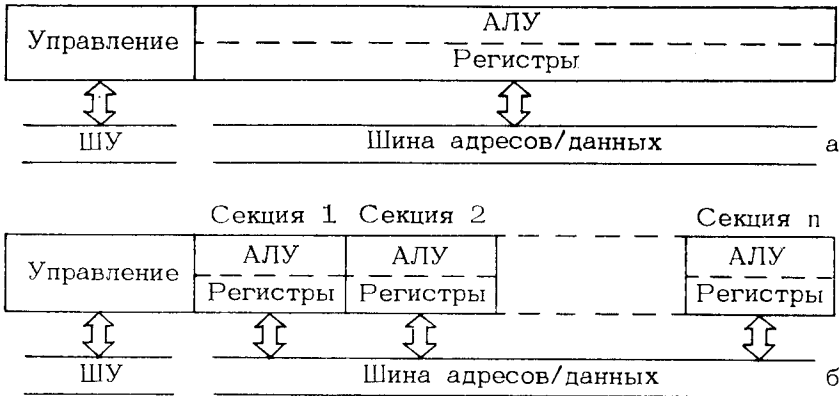


Рис. 6. Упрощенная структурная схема центрального процессора микро-ЭВМ: а — входящего в микропроцессорный набор; б — построенного из микропроцессорных секций

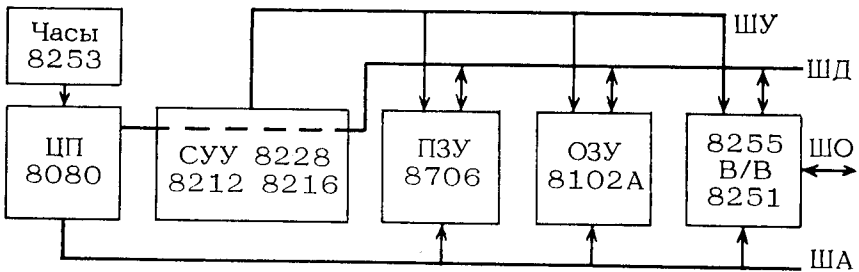
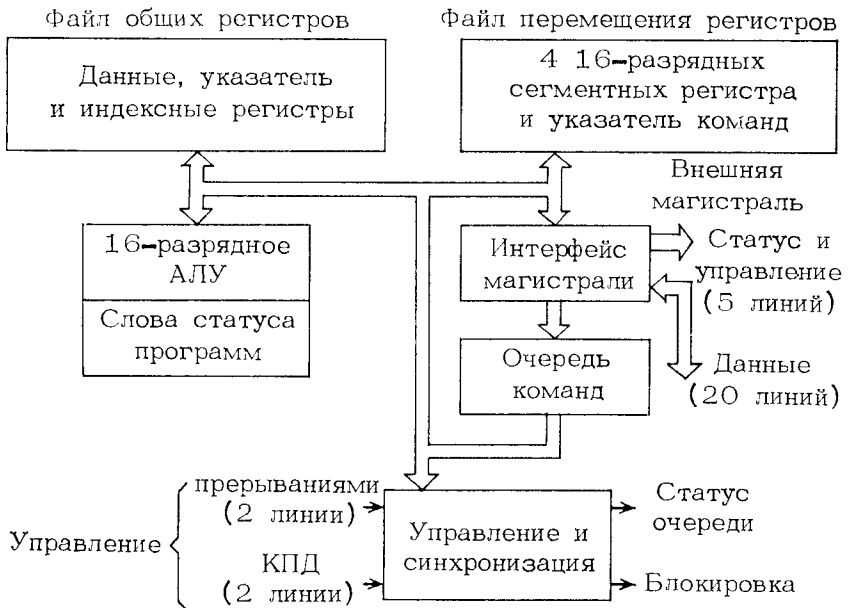


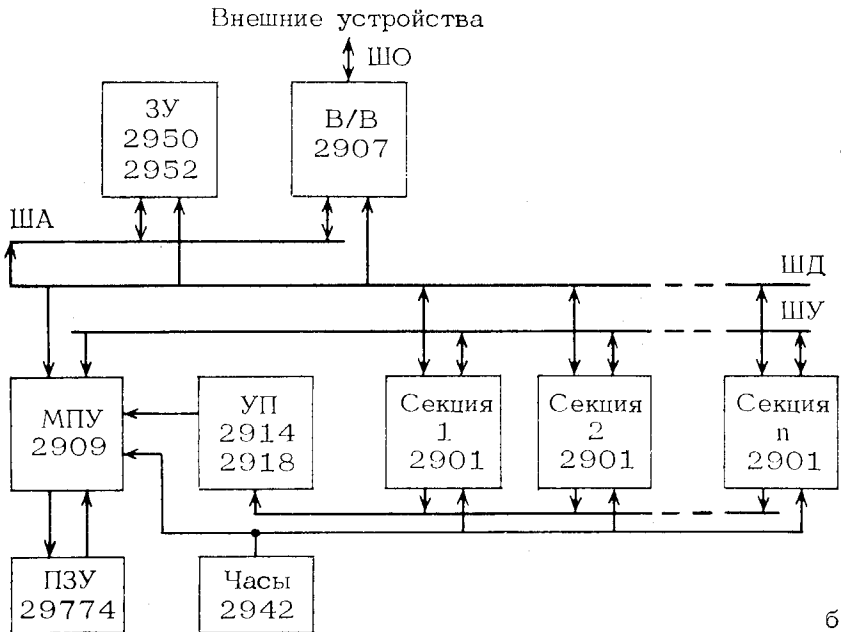
Рис. 7. Структурная схема микро-ЭВМ на основе наборного комплекта типа 8080 фирмы Intel

личными частями микрокомпьютера осуществляется по совокупности параллельных проводников, которая называется шиной обмена. По типу передаваемой информации различают шины управления, шины адресов и шины данных. Часто из экономических соображений шины адресов и данных являются мультиплексированными, т. е. используются в режиме разделения времени для передачи и адресов, и данных.

На рис. 6 показаны упрощенные структурные схемы построения процессоров микрокомпьютеров. На рис. 6, а приведена структурная схема процессора, выполненного на наборном комплекте. Арифметическое и логическое устройство и регистры имеют определенное число разрядов слова. В микрокомпьютере, построенном на секционированном комплекте (рис. 6, б) арифметическое и логическое устройство и регистры образуются в результате стыковки n элементарных секций и могут иметь любое требуемое число разрядов слова. На рис. 6 шины адресов и данных мультиплексированы.



а



б

Рис. 8. Структурная схема микро-ЭВМ:

а — на основе микропроцессорного набора Intel 8086; б — на основе секционированного набора 2901 фирмы AMD

Микро-ЭВМ на наборных комплектах. С появлением микропроцессорных наборов стало возможным создание микрокомпьютеров в физических лабораториях. Во всех крупных физических центрах, таких как ЦЕРН, ОИЯИ, в 1974—1976 гг. были разработаны и стали широко применяться недорогие микро-ЭВМ собственного изготовления [6, 7].

На рис. 7 показан в качестве примера широко используемый в автоматизированных системах физических исследований минимальный набор БИС фирмы Intel для организации микро-ЭВМ. Шина для набора Intel 8080 получила название Multibus [5]. Кроме 8-разрядного ЦП используется еще пять основных БИС: системное устройство управления (СУУ), часы, постоянное ЗУ, БИС ОЗУ и модуль БИС параллельного интерфейса с 24-разрядной шиной обмена. Применение дополнительной БИС, так называемого контроллера канала прямого доступа (КПД), позволяет организовать групповой обмен данными с внешними устройствами. В этом случае через ЦП загружаются регистры в контроллере КПД начальным адресом массива данных в памяти, числом передаваемых слов и признаком вида обмена (ввод, вывод), после чего начинает работать контроллер. Наряду с параллельным интерфейсом применяется БИС — последовательный интерфейс, преобразующий данные с параллельных шин ЦП в последовательный код для передачи на интерфейс связи с внешним устройством, работающим со словами в последовательном коде (дисплей, телетайп). Именно этот набор был впервые использован для построения дешевых микрокомпьютеров для автоматизации измерительных стендов и небольших установок физических лабораторий. Впоследствии появились наборы с большей разрядностью, которые позволяют создавать микро-ЭВМ с большей производительностью, имеющие развитые операционные системы. Примером может служить набор БИС Intel 8086. Скорость выполнения операций у микропроцессора Intel 8086 в 7—12 раз больше, чем у 8080А. Длина слова процессора равна 16 разрядам. На основе этого набора выполнена микро-ЭВМ, структурная схема которой показана на рис. 8, а. Микрокомпьютер содержит четыре 16-разрядных регистра данных, два 16-разрядных регистра-указателя памяти, которые позволяют адресоваться к памяти емкостью до 1 Мбайт. Для подключения внешних устройств в памяти может быть отведено до 65 кбайт. Характерной особенностью этого микропроцессора является организация очередей команд, которая позволяет выполнять одновременно команду и поиск следующей, что увеличивает быстродействие системы и обеспечивает отдельную работу канала прямого доступа и внутренней магистрали микропроцессора.

Самый последний из разработанных фирмой Intel наборов называется APX 432 (см. табл. 2). На его основе могут быть созданы высокопроизводительные вычислительные системы, реализующие принцип параллельной обработки данных с большим числом процессоров. Набор APX 432 состоит всего из трех элементов. Два из них,

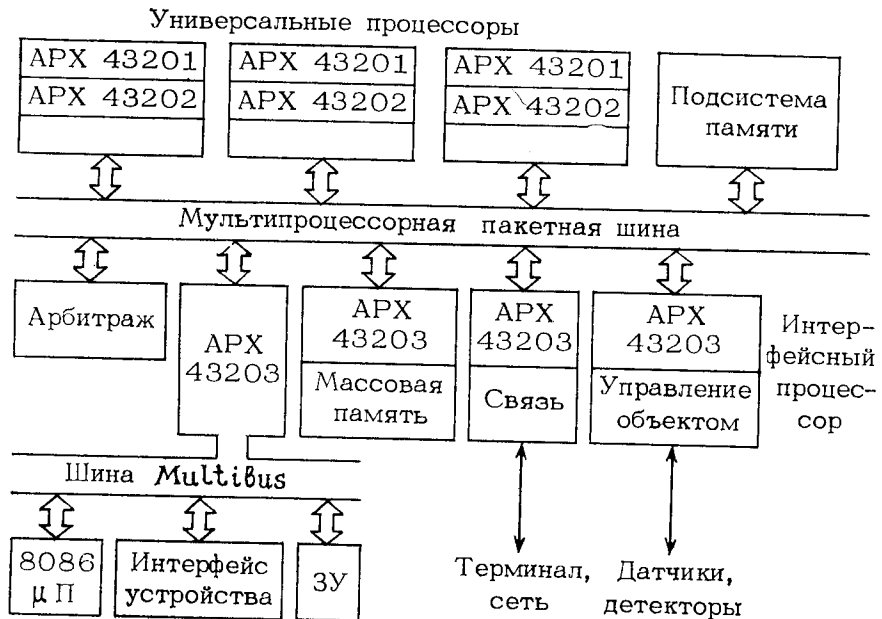


Рис. 9. Многопроцессорная система APX432

АРХ 43201 и АРХ 43202, представляют собой, по сути, 32-разрядный процессор. Третий элемент — интерфейсный процессор — используется для сопряжения с шиной обмена данными. Структурная схема многопроцессорной системы на основе АРХ 432 показана на рис. 9. Обмен данными и командами между процессорами и памятью осуществляется в виде пакетов данных и команд по многопроцессорной пакетной шине. Какой из процессоров может пользоваться в данный момент шиной, определяет устройство арбитража. Через интерфейсный процессор к многопроцессорной системе могут быть подсоединены различные внешние устройства, например массовая память в виде накопителей на магнитных дисках или магнитофоны, терминалы, устройства для регистрации данных или управления каким-либо объектом. В частности, через интерфейсный процессор организуется связь многопроцессорной пакетной шины и шины Multibus, т. е. связь с микрокомпьютерами на основе рассмотренных выше более ранних микропроцессорных наборов Intel 8080 или Intel 8086 и т. д.

Микро-ЭВМ на секционированных процессорах. Микрокомпьютеры на микропроцессорных секциях позволяют формировать микрокоманды с любой требуемой длиной слова и, таким образом, увеличивать их производительность. На рис. 8,б показана структурная схема микро-ЭВМ, выполненная на микропроцессорных секциях

2901 фирмы Advanced Microdevices, которые широко используются для построения микрокомпьютеров и специализированных процессоров в физике высоких энергий. Микро-ЭВМ на секциях характеризуются наличием микропрограммной памяти (ПЗУ на рис. 8, б) и соответствующих устройств: управления микропрограммной памятью (МПУ) и указателя памяти (УП).

В физических лабораториях в настоящее время используются как серийные микро-ЭВМ, так и микрокомпьютеры собственного изготовления на наборных и секционированных комплектах.

Серийные микрокомпьютеры. *Микро-ЭВМ для малых систем.* В 70-х годах в физических лабораториях для регистрации данных на линии, измерений и обработки широко применялись малые ЭВМ типа PDP-11 фирмы DEC [8÷10] или типа NORD-10 фирмы Norsk Data. Стоимость подобных ЭВМ вместе с внешними устройствами составляла от 100 тыс. до нескольких сотен тысяч долларов. Микропроцессорная элементная база позволила создать более дешевые ЭВМ и расширить область их применения на малые измерительные установки и стенды, где использование ЭВМ типа PDP-11 было ранее экономически нецелесообразным.

Наиболее популярными микро-ЭВМ стали микрокомпьютеры фирмы DEC типа LSI-11 и фирмы Intel типа MDS. Минимальный набор такой микро-ЭВМ включает телетайп, дисплей, устройства ввода и вывода перфоленды, линейную печать. Расширенный набор позволяет использовать дисковую операционную систему (ДОС) и дополняется памятью на магнитных дисках и магнитофоном. Наиболее широко с микро-ЭВМ применяются недорогие дисковые накопители на так называемых гибких дисках.

Таблица 7. Характеристики некоторых микро-ЭВМ

Тип	R, Мбайт/с	S ОЗУ, кбайт	S НМД, кбайт	Стоимость, отн. ед.	
				минимальная	с НМД и ДОС
LSI-11/2	0,8	8—64	256	15	30
MERA-60 [11]	—	8—64	256	34	100
MDS-800 [12]	0,5	16—64	256	15	30

Характеристики некоторых микро-ЭВМ приведены в табл. 7. Под относительными единицами стоимости понимаются доллары США либо их эквиваленты в рублях СЭВ. Микро-ЭВМ типа LSI-11 и ее аналог MERA-60 [11] организованы на так называемой квазиобщей шине обмена данными, именуемой Q-bus. Эта шина использует мультиплексирование адресов и данных. В микро-ЭВМ MDS-800 применяется шина Multibus, в которой адреса и данные передаются

по своим отдельным шинам. Для организации измерительных систем, содержащих, как правило, большое число каналов измерений, важной характеристикой является количество подключаемых внешних устройств к каналу обмена ЭВМ. Для основной конфигурации LSI-11 оно равно 15, но при использовании расширителя канала обмена может достигать 4000.

Серийные микро-ЭВМ нашли также применение в больших информационно-измерительных и управляющих системах современных ускорителей частиц высоких энергий. Объединения микро-ЭВМ, или кластеры, и сети микро-ЭВМ используются для организации систем управления ускорителей, в которых реализуется распределенный принцип управления.

VAX-11/780 — основная ЭВМ для спектрометров. Наиболее широко используемой и высокопроизводительной ЭВМ для регистрации и обработки данных в спектрометрах физики высоких энергий в 70-х годах была ЭВМ PDP-11/70. Высокая скорость каналов обмена этой ЭВМ (до 5 Мбайт/с) позволяла регистрировать события с максимально возможной эффективностью. В то же время для полной обработки данных экспериментов приходилось пользоваться более высокопроизводительными ЭВМ (IBM 3084, CDC 7600, IBM 370/168 и т. д.), так как с точки зрения обработки производительность этой ЭВМ была недостаточной.

Универсальной ЭВМ в смысле использования для задач как регистрации, так и полной обработки данных является разработанная фирмой DEC на микропроцессорной элементной базе ЭВМ VAX-11/780 [3]. Использование СВИС со всеми их возможностями: техникой микрокоманд, микропроцессорной структурой и полупроводниковой памяти с большой емкостью, позволило создать ЭВМ, имеющую физический объем миникомпьютера, но по производительности в задачах обработки данных со спектрометров физики

Таблица 8. Некоторые данные современных ЭВМ с микрокомандами

Тип ЭВМ	t_0 (время цикла), мкс	Число разрядов микрокоманды w	Емкость памяти микрокоманд, кбайт
LSI-11/2	0,4	22	1,0
PDP-11/34	0,18	48	0,5
VAX-11/780	0,2	96	5

высоких энергий не уступающую таким крупнейшим ЭВМ, как IBM 370/168, IBM 3084, CDC 7600, Cyber 205. Длина слова микрокоманды в VAX-11/780, как видно из табл. 8, больше, чем в других ЭВМ.

VAX представляет собой, по существу, шестипроцессорную систему (табл. 9), что также способствует увеличению производительности

Таблица 9. Состав микропроцессорной системы VAX-11/780

Тип процессора	Назначение	Элементная база	Длина слова микрокоманды, бит	Емкость микропрограммируемой памяти, кслов
KA-780	Центральный процессор	74 S 181	96	4+1
FP-780	Операции с плавающей запятой	74 S 181	48	0,5
DW-780	Адаптор шины UNIBUS	ТТЛ	44	0,5
DR-780	Канал обмена	2901	40	1
RX-02	Управление гибким диском	2901	16	1
DMC-11	Последовательный канал	74S181	18	1

сти, которая составляет 1 Моп/с. Объем оперативной памяти равен 16 Мбайт. В ЭВМ применены малогабаритные дисковые накопители со сверхвысокой плотностью записи типа «Винчестер», что позволило организовать систему так называемой виртуальной (ощущаемой пользователем) памяти с емкостью до 4 Гбайт.

Виртуальная память организуется операционной системой ЭВМ путем автоматической постоянной переписи части содержимого ОЗУ в случае недостаточности его емкости на дисковый накопитель и обратно при вызове информации пользователем. Наличие большой памяти позволяет организовать на этой ЭВМ режим работы, чрезвычайно благоприятный для пользователей: несколько пользователей (пять и даже более) могут эффективно вести обработку задач одновременно и в диалоговом режиме. Возможность хранения большого числа длинных файлов пользователями в памяти ЭВМ и диалоговый режим работы позволяют осуществлять практически безбумажный ввод-вывод информации. Вывод на бумагу требуется только при представлении конечных результатов. Будучи весьма эффективной с точки зрения обработки, VAX-11/780 в то же время имеет высокую пропускную способность каналов обмена, что позволяет применять его также эффективно и для регистрации данных в спектрометрах. В частности, VAX-11/780 был применен в эксперименте ЦЕРНа UA 1 по обнаружению W- и Z-частиц, используется и планируется к использованию во множестве других экспериментов физики элементарных частиц.

Модульные микро-ЭВМ. Микроконтроллеры. Модульный способ организации автоматизированных систем, в принципе, при существующих БИС и СБИС микропроцессоров позволяет выполнять микро-ЭВМ в виде отдельных модулей, подобных модулям измерительных каналов. Для стандартных шин и конструктива, например КАМАК, выполнение микро-ЭВМ в виде стандартного модуля позволяет снизить ее стоимость по сравнению со стоимостью серийных малых и микро-ЭВМ. Микро-ЭВМ в крейте КАМАК широко используется

в настоящее время в системах автоматизации физических исследований в области высоких и низких энергий.

Модуль управления в системе КАМАК называют контроллером. Микроконтроллер представляет собой контроллер, содержащий микро-ЭВМ. В табл. 10 для примера приведена стоимость микроконтроллеров и собираемых на их

Таблица 10. Стоимость микро-ЭВМ в крейте [14]

Тип модуля	Стоимость, тыс. долл.
Крейт	1,7
Микро-ЭВМ 3880	3,3
Дополнительный контроллер 3908	1,6
Расширитель ОЗУ 3816	2,2
Минимальная конфигурация	6,5
Полная	8,7

основе микро-ЭВМ, выпускаемых фирмой Kinetic Systems. Использование микроконтроллеров позволяет также выполнить автоматизированную систему в едином конструктиве, что представляет определенные удобства для разработчика и пользователя. Конструктивной единицей в стандарте КАМАК

является крейт, объединяющий каркас с питанием и шину обмена.

Крейт КАМАК [13] позволяет использовать 23 места для расположения печатных плат с выходом на его шину. Это количество мест больше, чем в шасси малых ЭВМ, и, в принципе, микро-ЭВМ с интерфейсами внешних устройств и памятью полностью размещается в части крейта. Остальные свободные места в крейте могут быть использованы для размещения модулей измерительных и регистрирующих каналов.

Обычно микроконтроллер занимает 2—3 места в крейте. На рис. 10 показана в качестве примера структурная схема микроконтроллера JСAM-10. Он содержит ЦП на основе микропроцессора Intel 8080, память типа ППЗУ и ОЗУ, интерфейс телетайпа и все схемы для организации обмена с модулями КАМАК и памятью контроллера. Объем памяти ППЗУ — 4 кбайт, ОЗУ — 5 кбайт.

Организация микро-ЭВМ в крейте. Применяются два способа организации микро-ЭВМ в крейте. Если степень интеграции используемого набора БИС недостаточна для размещения микро-ЭВМ и всего ЗУ внутри модуля контроллера, то применяется дополнительная внешняя шина в качестве шины микропроцессора, к которой подключаются модули ЦП, ЗУ и интерфейсов внешних устройств. Шина КАМАК служит в этом случае для обмена с модулями каналов регистрации и измерения. Подобная организация позволяет в случае необходимости расширять конфигурацию микро-ЭВМ. При такой организации микроконтроллер содержит как контроллер, выполняющий функции КАМАК, так и микро-ЭВМ.

Другой способ организации микро-ЭВМ в крейте — мультиплексирование шины крейта так, чтобы использовать ее либо как шину КАМАК, либо как шину обмена микро-ЭВМ. В этом случае имеется преимущество по надежности из-за отсутствия дополнительной внеш-

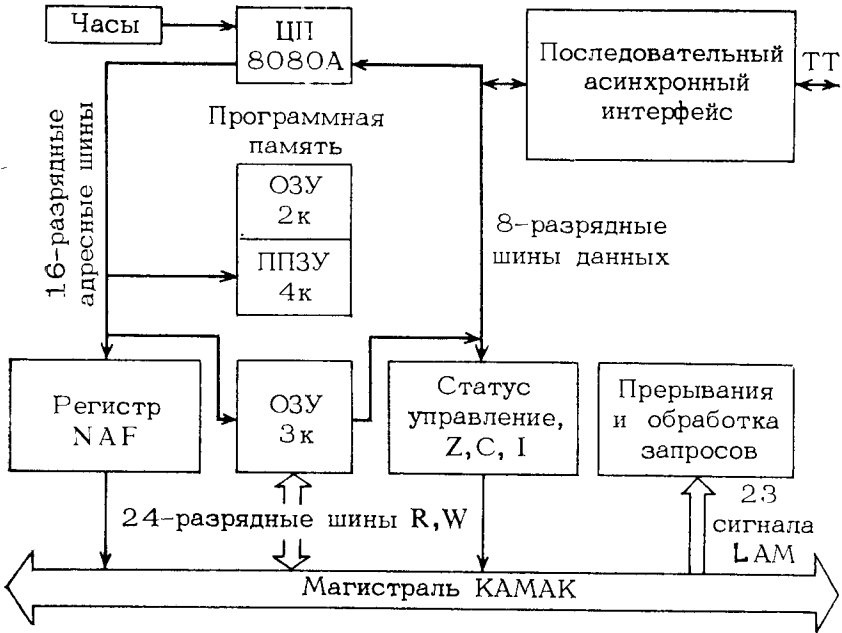


Рис. 10. Структурная схема микроконтроллера JCAM-10:

ТТ — телетайп; R, W — шины чтения-записи; LAM — сигнал запроса обслуживания; NAF — регистр адресов и команд КАМАК; Z, C, I — сигналы подготовки, сброса, запрета

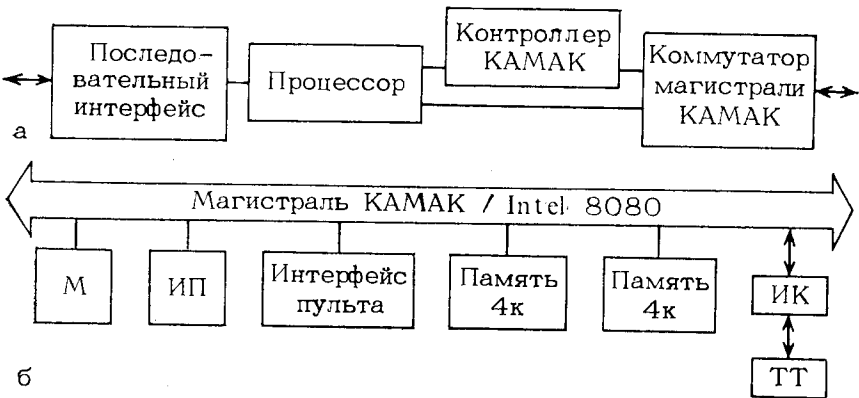


Рис. 11. Микро-ЭВМ в кreyте КАМАК:

а — структурная схема микроконтроллера; б — микро-ЭВМ; М — модуль каналов измерения или регистрации; ИП — интерфейс внешнего устройства; ИК — микроконтроллер; ТТ — телетайп

ней шины. На рис. 11, а показана структурная схема микроконтроллера, который содержит ЦП на БИС Intel 8080, контроллер КАМАК, последовательный интерфейс, коммутатор магистрали КАМАК и па-

мять для загрузки начальных программ, чтобы привести систему в действие. Контроллер используется с внешними модулями памяти ПЗУ 4к или ОЗУ 4к, причем шина КАМАК служит общей шиной обмена (см. рис. 11, б).

Характеристики некоторых микро-ЭВМ в крейте КАМАК приведены в табл. 11.

Таблица 11. Характеристики некоторых микро-ЭВМ в крейте

Тип контроллера	Скорость обмена S_0 , Мбайт/с		Объем памяти внутри контроллера, кбайт		Максималь- ный объем ОЗУ, кбайт
	однословный режим	блочный режим	ОЗУ	ППЗУ	
JCAM-10 [6]	0,1	0,5	5	4	5
SAM 1.15-1 [7]	0,05	0,5	—	0,5	64
3880 [14]	0,1	0,8	4	2	38
Microna 9081 [15]	—	—	62	1	62

Серийные микро-ЭВМ не позволяют из-за конструктивных ограничений организовать системы с числом адресов более 30 без дополнительных устройств, в то время как микроконтроллеры, используя крейт и специальные расширители в системе КАМАК (драйверы ветви или дополнительные контроллеры), допускают практически любое требуемое расширение систем. Например, для контроллера 3880 фирмы Kinetic Systems возможно расширение системы до 7 крейтов или при использовании контроллера той же фирмы типа 3909 — до 62 (когда используется последовательная шина КАМАК).

Объем памяти микроконтроллеров и микро-ЭВМ в крейте обычно недостаточен, чтобы в ней кроме программ обработки и приема данных и информационных массивов хранить еще программы, требуемые для разработки матобеспечения. Поэтому для разработки матобеспечения микроконтроллеров применяют кросс-ассемблеры, т. е. ассемблеры, помещаемые в памяти других, более производительных ЭВМ (PDP-11, MDS-800, ЕС-1010, ЕС-1040 и т. д.) с целью экономии объема памяти для информационных массивов и программ обработки. Кросс-ассемблер позволяет работать с командами микро-ЭВМ на большей ЭВМ. Готовый программный продукт получают снова в кодах микро-ЭВМ.

Другой путь решения проблемы матобеспечения микро-ЭВМ — разработка микрокомпьютеров, которые являются программными аналогами существующих ЭВМ с развитым матобеспечением. Такие программные аналоги носят название эмуляторов. Микроконтроллеры и микро-ЭВМ в крейте обычно эмулируют какую-либо малую ЭВМ. Например, микроконтроллер Microna 9081, который занимает всего два места в крейте и содержит ОЗУ емкостью 31 к и ППЗУ емкостью 1 к эмулирует малую ЭВМ Nova.

Несмотря на все преимущества самодельных микро-ЭВМ и их распространенность в настоящее время, следует отметить, что они вытесняются серийными микрокомпьютерами и персональными ЭВМ. Наиболее широкая область применения микрокомпьютеров, разработанных и изготовленных в физических лабораториях, в будущем — это специализированные микро-ЭВМ и специализированные процессоры (спецпроцессоры) для решения определенных классов задач, где они намного превосходят по эффективности серийные ЭВМ.

5. СПЕЦПРОЦЕССОРЫ ДЛЯ ОТБОРА, РЕГИСТРАЦИИ И ОБРАБОТКИ СОБЫТИЙ

Системы регистрации данных спектрометров физики высоких энергий. В спектрометрах с проволочными камерами (СПК) анализируются события, происходящие при взаимодействии пучка первичных частиц, получаемых с ускорителя, с веществом покоящейся мишени, либо при столкновении частиц встречных пучков. В результате взаимодействия появляются вторичные частицы. Траектории вторичных частиц проходят обычно в поле анализирующего магнита, что позволяет определить их импульсы.

Типичная структурная схема системы регистрации данных спектрометра физики высоких энергий показана на рис. 12. На рисунке показано для примера некоторое условное событие, заключающееся в рождении двух частиц на покоящейся мишени. Под событием понимается выполнение некоторых критериев отбора комбинаций первичной и вторичной частиц по координатам, импульсу, энергии и времени. События поступают в виде мгновенных по сравнению с временем их регистрации отсчетов, распределенных случайным образом внутри длительности импульса частиц от ускорителя $t_{и}$. Число отсчетов в среднем равно n , причем каждый отсчет содержит образ события, состоящего из m разрядов информации. Образ события представляет собой набор слов, полученных со всех детекторов СПК регистрирующей системой. Из-за малого времени взаимодействия

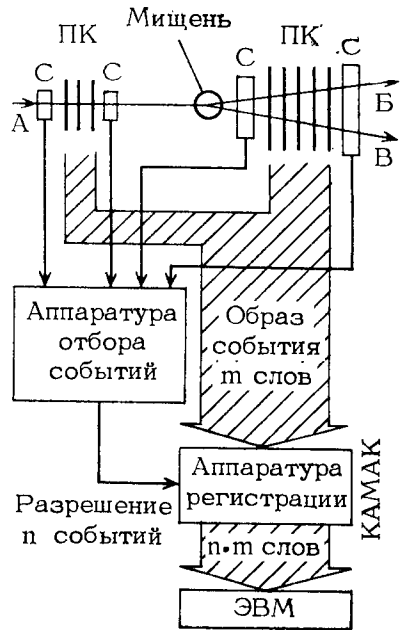


Рис. 12. Структурная схема электронного спектрометра:

С — сцинтилляционные счетчики; ПК — проволочные камеры

частиц по сравнению с временем регистрации образ события одновременно должен запоминаться в этой аппаратуре. Интенсивность событий n/t_0 связана с вероятностью изучаемого физического процесса и пропускной способностью электронной аппаратуры установки. Первая величина задается в физическом обосновании проекта. Вторая — устанавливается при проектировании регистрирующей системы СПК после определения потоков информации, поступающих от детекторов. Произведение nm является постоянной величиной

$$nm \leq \xi t_{\text{к}}/t_0, \quad (3)$$

где ξ — допустимый уровень просчетов из-за наложения событий и t_0 — время цикла на шине обмена ЭВМ. Поэтому увеличение числа зарегистрированных событий возможно только за счет уменьшения информации в образе события, длительности цикла на шине обмена, параллельной обработки образа события, а также разравнивания событий во времени. Временные характеристики и число детекторов СПК обуславливают такие большие потоки информации, что, как правило, не представляется возможным зарегистрировать образ события без предварительного отбора событий с целью уменьшения потоков информации. Поэтому производится предварительный отбор вероятных кандидатов в события с помощью детекторов, обладающих малыми мертвыми временами, специальной аппаратурой, которая вырабатывает сигнал разрешения на передачу данных из регистрирующей электроники в ЭВМ. Этот сигнал носит название триггера события. Число слов в образе события обычно составляет $\sim 10^3$, число триггеров в секунду находится в пределах 10^2 — 10^3 , так что поток информации на входе ЭВМ может достигать единиц мегабайт в секунду. Для регистрации таких потоков информации необходимо использование самых высокопроизводительных ЭВМ. По экономическим соображениям это не всегда возможно, поэтому часто для регистрации данных используют малую ЭВМ с высокой пропускной способностью на входе, информация записывается на магнитные ленты и обрабатывается впоследствии на больших высокопроизводительных ЭВМ.

Использование СБИС в спектрометрах физики высоких энергий позволило, во-первых, улучшить качество регистрируемых данных, во-вторых, увеличить скорость набора статистики и, в-третьих, сократить затраты на окончательную обработку результатов эксперимента [16, 17]. Увеличение скорости набора статистики означает также возможность регистрации более редких событий. Типичные применения СБИС в спектрометрах физики высоких энергий приведены в табл. 12.

Микропроцессоры применяются, во-первых, в системах регистрации для исключения ненужной информации в образе события, что уменьшает мертвое время системы и соответственно увеличивает скорость набора событий. Во-вторых, применение СБИС для принятия быстрого решения в триггере также уменьшает мертвое время спектрометра и увеличивает скорость набора полезных событий.

Таблица 12. Микро-ЭВМ и СБИС в спектрометрах физики высоких энергий

Область применения	Тип микропроцессора или микро-ЭВМ
Регистрация данных с пропорциональных и дрейфовых камер, калориметров Отбор событий, предварительный анализ Эмуляция малых и больших ЭВМ для обработки данных (PDP-11/70, IBM 370/168, IBM 3081)	AMD 2901, MC 68000, MC 10800, Signetics 8X300, LSI-11 MC 68000, различные ПЛМ и ППЗУ Microcomp 16, 168/E (AMD 2901) AMD 2901

Поскольку образ события отбирается более тщательно, упрощаются также и окончательный анализ, и обработка событий. В конечном итоге применение МП позволит продвинуться к решению задачи полного анализа и обработки событий в реальном времени эксперимента.

СБИС в аппаратуре отбора и регистрации событий. Как видно из выражения (3), повышение скорости регистрации событий возможно благодаря либо увеличению степени их предварительного отбора, либо сжатию слова образа события, либо его параллельной обработке или сокращению длительности цикла магистрали обмена. Первый спецпроцессор для отбора событий был разработан в лаборатории высоких энергий ОИЯИ в 1971 г. [18].

В современных спектрометрах триггер обычно выполняется многоступенчатым. На каждой из его ступеней выполняется определенная операция, как видно из рис. 13. Для быстрого отбора событий электроники запуска, обычно набираемая из типовых модулей, вырабатывает сигнал, называемый первичным триггером. Если выделение первичного образа события является аппаратно сложным при использовании существующих модулей, выполняется специализированный процессор. Если кроме первичного триггера необходимо использование спецпроцессоров для дополнительных критериев отбора, то говорят, что СПК имеет вторичный триггер. Введение спецпроцессоров значительно уменьшает потоки информации, поступающие

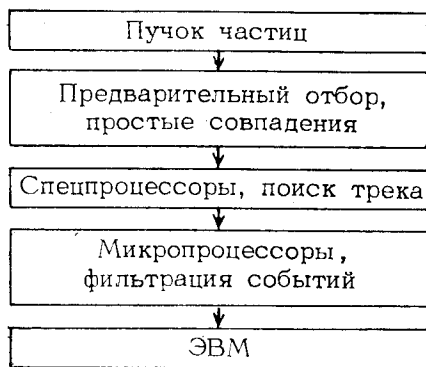


Рис. 13. Ступени отбора событий в аппаратуре триггера спектрометра

электроники запуска, обычно набираемая из типовых модулей, вырабатывает сигнал, называемый первичным триггером. Если выделение первичного образа события является аппаратно сложным при использовании существующих модулей, выполняется специализированный процессор. Если кроме первичного триггера необходимо использование спецпроцессоров для дополнительных критериев отбора, то говорят, что СПК имеет вторичный триггер. Введение спецпроцессоров значительно уменьшает потоки информации, поступающие

на регистрирующую аппаратуру. В настоящее время кроме спецпроцессоров вводится третья ступень отбора, где применяются программируемые логические матрицы (ПЛМ) или быстрые микропроцессорные системы отбора. Введение каждой из ступеней предварительного отбора снижает количество запусков спектрометра примерно на порядок [19].

Обычно процессоры с жесткой программой, встроенной аппаратурно, применяются для принятия решений за время 1—2 мкс. Программируемые препроцессоры имеют типичные времена решения ~ 25 мкс и микропроцессоры — около 10 мс.

Другой способ увеличения скорости набора событий согласно выражению (3) заключается в сжатии информации образа события. Это сжатие осуществляется быстрым сканированием всех сработавших проволочек спектрометра и отбором для окончательной регистрации только тех, через которые проходят траектории частиц. Быстрый отбор событий должен происходить внутри основного цикла стандартного интерфейса с длительностью t_0 (1 мкс для КАМАК), при этом длина слова образа события уменьшается на один-два порядка. Таким образом, электронная аппаратура отбора должна иметь шину обмена с пропускной способностью, большей на один-два порядка, чем у стандартной шины или шины обмена ЭВМ.

Характерным примером применения микропроцессоров в триггерах спектрометров на ускорителях являются установки ускорителя со встречными пучками РЕТРА, где необходимость предварительного отбора событий обусловлена малым временем между столкновениями встречных пучков, равным 3,8 мкс. В то же время прием образа события и его обработка в ЭВМ занимают около 1 с, поэтому необходим отбор событий для снижения частоты регистрации образов событий в $2 \cdot 10^5$ раз. Он достигается за счет выполнения многокаскадного триггера, состоящего из схем совпадений (снижение частоты следования в 25 раз), препроцессора для нахождения треков с аппаратурно встроенной программой (снижение частоты следования в $70 \cdot 10^3$ раз) и микрокомпьютера для дальнейшей фильтрации событий (снижение частоты следования в 10^3 раз) [19].

На ускорителе имеются четыре пересечения, в которых установлены спектрометры TASSO, CELLO, JADE и MARK-1. Для каждого из этих спектрометров были созданы многоступенчатые системы отбора событий на основе СБИС, которые позволили увеличить эффективность установок на один-два порядка.

Спектрометр TASSO представляет собой магнитный соленоидальный детектор с пропорциональными и цилиндрическими дрейфовыми камерами. Кроме того, используются спектрометры по времени пролета (СВП). В установке TASSO имеются три ступени отбора событий. На первой ступени отбор осуществляется быстрой логикой. На второй ступени отбор производится процессором предварительного отбора (препроцессором). Препроцессор отбирает события, удовлетворяющие условиям квантовой электродинамики (КЭД). На

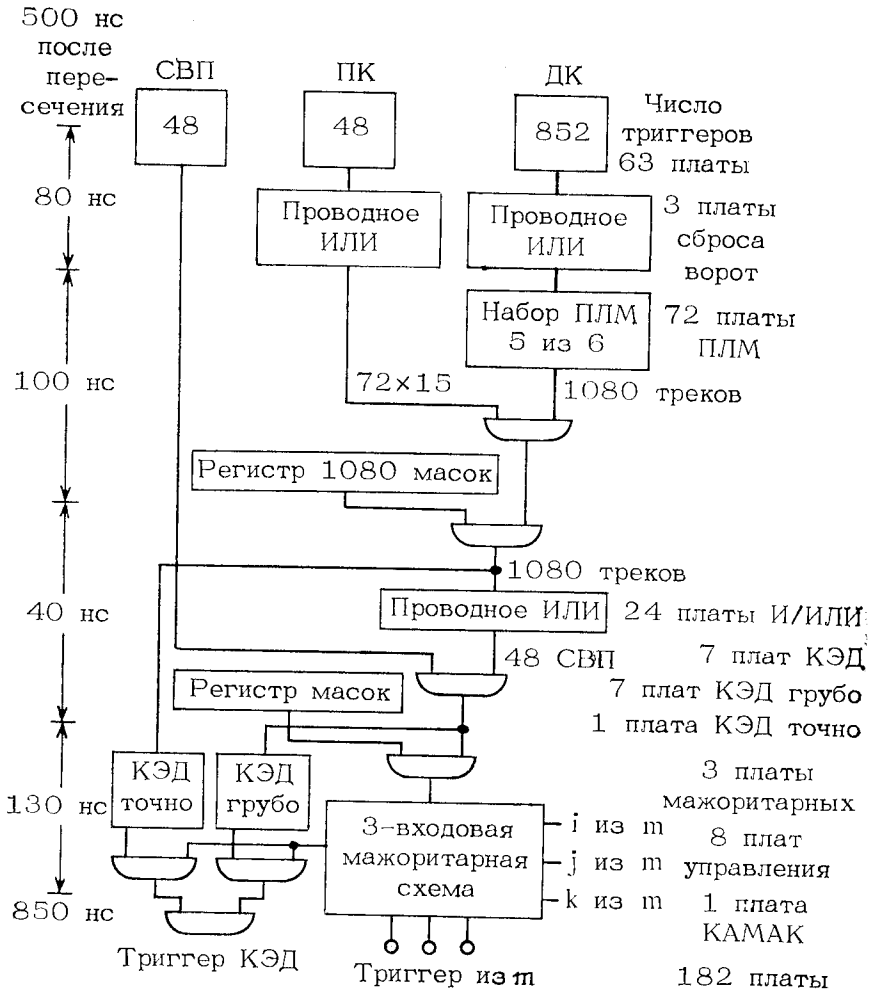


Рис. 14. Организация процессора для предварительного отбора событий установки TASSO

вход процессора отбора событий поступает 48-разрядное слово с СВП, 48-разрядное слово с пропорциональных камер и 852-разрядное слово с дрейфовых камер (рис. 14). Препроцессор содержит 4 ступени принятия решений. На рис. 14 слева приведено время выдачи решения на каждой ступени. Справа показан объем аппаратуры, измеряемый числом стандартных печатных плат с микросхемами. Первая ступень организована в виде логических схем ИЛИ. Решение на выходе этой ступени появляется за 80 нс. На второй ступени

для нахождения треков событий используются программируемые логические матрицы (ПЛМ), в которых записываются все возможные траектории (1080 треков) для искомого типа событий. Время решения на выходе этой ступени составляет 0,1 мкс. Окончательный отбор кандидатов по КЭД производится логическими схемами на третьей и четвертой ступенях за 130 нс. Общий объем аппаратуры процесса предварительного отбора составляет 182 стандартные платы.

На третьей ступени отбора в триггере используется микро-ЭВМ MONIKA (Microprogrammable On-Line Track Analyzer), которая анализирует данные с девяти цилиндрических дрейфовых камер. Она решает два уравнения вида

$$\Phi = \arctg \left(\frac{\rho_2}{\rho_1 \sin \alpha} - ct \alpha \right); \quad R = \frac{1}{2} \frac{\rho_1}{2 \sin \Phi}. \quad (4)$$

MONIKA представляет собой 32-разрядный процессор, выполненный на секционированном микропроцессоре MC 10800. Емкость памяти равна 120 к. Типичное адронное событие с 14 треками требует для анализа в микро-ЭВМ примерно 4,5 мс. Структурная схема полного триггера установки TASSO с процессором MONIKA показана на рис. 15. В левой части рисунка показано уменьшение частоты запуска установки на каждой ступени отбора событий. Окончательно данные, отобранные триггером, регистрируются в памяти ЭВМ NORD.

Детектор с магнитным полем 1,3 Тл CELLO имеет 4л-геометрию и предназначен для идентификации лептонов, фотонов и адронов.

Таблица 13. Частота триггеров после препроцессора, Гц

Вид треков	Тип процессора а	
	TASSO	CELLO
Фотоны	0,95	—
4-лучевые	0,5	100
3-лучевые	1,3	20
2-лучевые	7,5	4

Он состоит из пяти цилиндрических пропорциональных и 7 дрейфовых камер, а также восьми планарных дрейфовых камер. В препроцессоре CELLO в мюонной цилиндрической камере для нахождения треков используется ППЗУ. Время для определения трека препроцессором составляет примерно 1,5 мс на трек. Время решения зависит от числа треков в событии (табл. 13).

В эксперименте JADE для регистрации данных и их предварительного отбора используется микро-ЭВМ Micros 16 фирмы Plessey. Память ЭВМ имеет длину слова 16 разрядов, время цикла 250 нс, буфер для данных 48 к и 16 к для программ. Микрокомпьютер в течение 80 нс находит вершину события. Одновременно идет считывание данных в буфер ЭВМ NORD 10S (рис. 16). Если событие не пропускается микро-ЭВМ, буфер ЭВМ NORD 10S очищается для приема следующего события. Скорость работы микро-ЭВМ в 8 раз больше, чем основной ЭВМ, что позволяет соответственно увеличить скорость набора событий. ЭВМ NORD 10S объединена общей операционной системой (ОС) с другой, более производительной ЭВМ

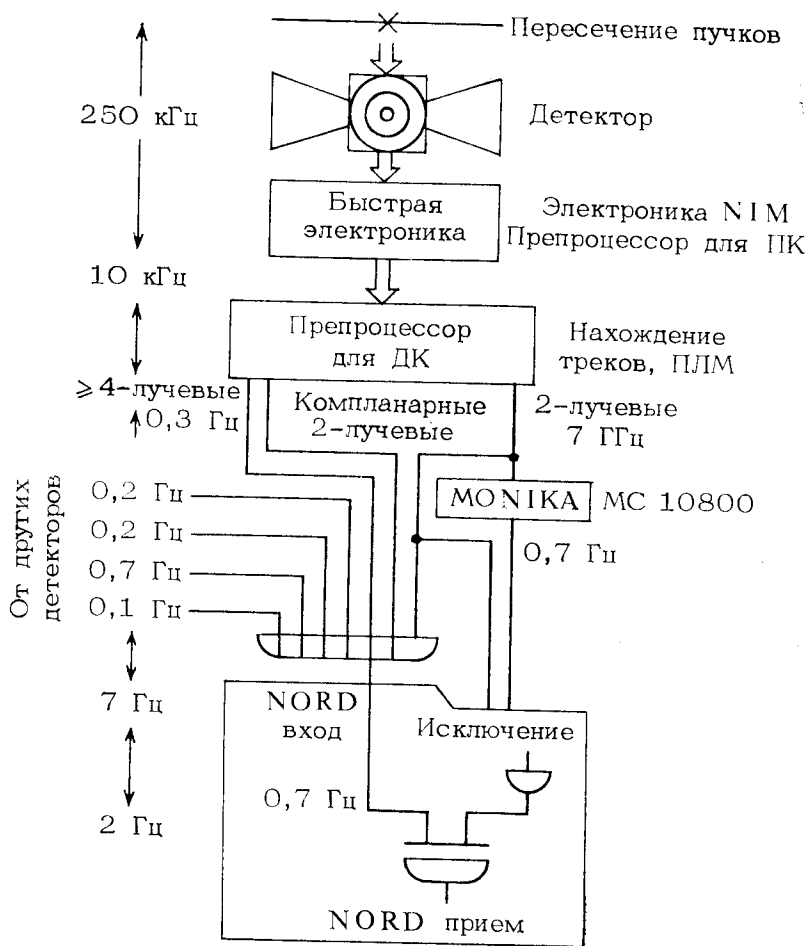


Рис. 15. Структурная схема организации многоступенчатого триггера с микрокомпьютером MONIKA в установке TASSO

NORD 50, которая используется для вывода обработанных событий на дисплей и представления данных в виде гистограмм. Регистрирующая система установки основывается на семи ветвях КАМАК с системным крейтом. Такой объем аппаратуры характерен для систем регистрации данных современных спектрометров физики высоких энергий. Например, крупнейший спектрометр ОИЯИ БИС-2 имеет 50 крейтов регистрирующей электроники.

Ввиду больших затрат на проведение современных экспериментов создаются объединения различных физических институтов и университетов для создания установок и обработки данных, так называемая

физика на расстоянии от ускорительных центров. Разработка и создание микропроцессорных триггеров представляют собой чрезвычайно трудоемкий процесс. Так, для создания типичного программируемого триггерного процессора требуется примерно 5 человеко-лет. Каждый из препроцессоров аппаратно сложен (до $3 \cdot 10^3$ соединений). Препроцессор для установки TASSO занимает одну стойку, CELLO—3.

Разработка препроцессоров может быть выполнена участниками эксперимента в своих институтах, и, таким образом, они смогут внести свой вклад в создание сложных установок. Однако для организации подобного сотрудничества необходима определенная степень стандартизации аппаратуры с микропроцессорами, чтобы была обеспечена ее совместимость с аппаратурой, созданной другими участниками объединения. Поэтому желательно здесь обеспечить стандартизацию на международном уровне, чтобы стало возможным межлабораторное использование микропроцессорных электронных систем подобно тому, как было организовано применение системы КАМАК в физических институтах.

В настоящее время в физических лабораториях мира используют десятки препроцессоров для отбора событий [17]. Характеристики некоторых из них приводятся в табл. 14. Для всех спецпроцессоров

Таблица 14. Микропрограммные спецпроцессоры для отбора событий

Характеристика	Место разработки					
	SAB Ecole Polytechnique	ESOP CERN	GESPRO Strasbourg	MONIKA DESY	M7 Fermilab	SAR Saclay
Тип микропроцессора	2901	Микро-схемы типа TTL—Шоттки	3002	10800	ECL 10181	2901
Длительность цикла t_0 , мкс	0,15	0,125	0,15	0,11	0,1	0,2
Длина слова микрокоманды	24	48	48	72	64	32
Объем памяти микрокоманды, кбайт	4	1	2	0,768	1	32
Длина слова данных	16	16	42	12,16	4×12	32
Объем памяти	4	64	32	4	1	32
Степень обработки	—	1,35	—	0 ⁴	—	—
Время принятия решения, мс	—	0,6	—	0,1—10	—	—
Тип интерфейса	КАМАК, GPIB	КАМАК, ROMULUS, специальный	КАМАК	КАМАК, специальный	Специальный	КАМАК

типично применение микрокоманд с большой длиной слова. Важнейшими параметрами спецпроцессоров являются степень обработки результата и время принятия решения. Степень обработки результата показывает, во сколько раз спецпроцессор снижает частоту запуска установки. Как правило, для связи с аппаратурой установки и с шиной ЭВМ спецпроцессор имеет выход на стандартный интерфейс (КАМАК, приборный интерфейс GPIB, ROMULUS). Для новых систем спецпроцессоры проектируются с выходом на быструю шину FASTBUS [20, 21].

Эмулирующие микропроцессорные системы для обработки и регистрации данных. Как уже говорилось выше, традиционная организация регистрации и обработки данных с СПК основывается на использовании малых ЭВМ типа PDP-11 для предварительного отбора и регистрации и частичной обработки данных и больших ЭВМ типа IBM 370 — для окончательной обработки и представления данных. Для обработки данных спектрометров на ЭВМ большой производительности применяются определенные наборы команд, которые могут быть транслированы в микрокоманды специализированных микрокомпьютеров, в результате чего эти наборы команд могут быть выполнены гораздо быстрее. В ряде физических лабораторий были разработаны такие микрокомпьютеры, эмулирующие высокопроизводительные ЭВМ, что позволило существенно снизить затраты на обработку данных. Например, в SLAC был разработан одностоечный вариант микрокомпьютера 168/E, эмулирующий ЭВМ IBM 370/168 [22], который выполняет программы, написанные на языке ФОРТРАН, IBM 370/168 со скоростью всего в 3 раза меньшей. Первоначально разработка микро-ЭВМ была выполнена для соленоидального спектрометра с большой апертурой LASS, где необходимо было обработать 200 млн. событий. При их обработке на ЭВМ IBM 370/168 требовалось 0,5 с на одно событие, т. е. эта ЭВМ должна была быть полностью занята обработкой в течение 3 лет. Изготовление девяти микро-ЭВМ 168/E позволило выполнить обработку информации эксперимента за 1 год при затратах всего около 100 тыс. долл.

На рис. 17 показана структурная схема организации системы обработки данных спектрометра LASS. Программы обработки и данные сначала поступают из ЭВМ IBM 370/168 в промежуточную ЭВМ PDP-11/04, в которой хранится системная программа. К шине этой ЭВМ подключены также память для данных, память для программ и шины данных и программ процессоров 168/E. Как видно из рис. 17, структурно система представляет собой многопроцессорное вычислительное устройство.

Структурная схема самого процессора 168/E показана на рис. 18. Он содержит плату центрального процессора, две платы для процессора, выполняющего операции с плавающей запятой (одна плата для показателя, другая — для мантиссы), восемь плат, на которых размещено ЗУ, и плату часов с интерфейсом адаптера шины ЭВМ PDP-11.

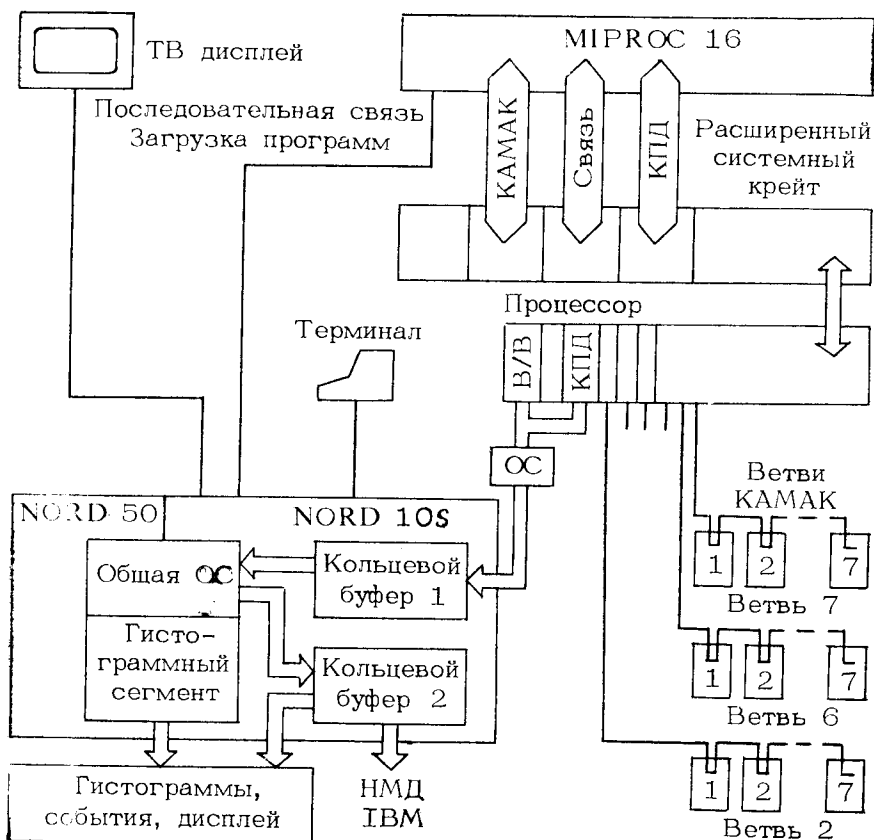


Рис. 16. Система регистрации данных детектора JADE

Для организации многопроцессорной системы обработки были разработаны специальные шины обмена данными (рис. 19). Процессоры 168/E объединяются двумя шинами — адресов и данных. Эти шины выполнены логически в соответствии с новым стандартом FASTBUS. Для связи памяти (буфера данных и программного буфера) с шиной UNIBUS и FASTBUS был создан специальный тройной коммутатор шин (бермудский треугольник, как назвали его авторы). Память данных имеет емкость 128 к 32-разрядных слов и память программ 128 к 24-разрядных слов, что примерно соответствует 4000 строкам ФОРТРАНа. ЗУ основано на схеме Intel 2147 с временем цикла 150 нс и временем доступа 70 нс. Память организована в виде сегментов, которые показаны на рис. 19.

Микрокомпьютер 168/E был также использован на гибридной пузырьковой камере (SHF) в SLACe для обработки событий в реаль-

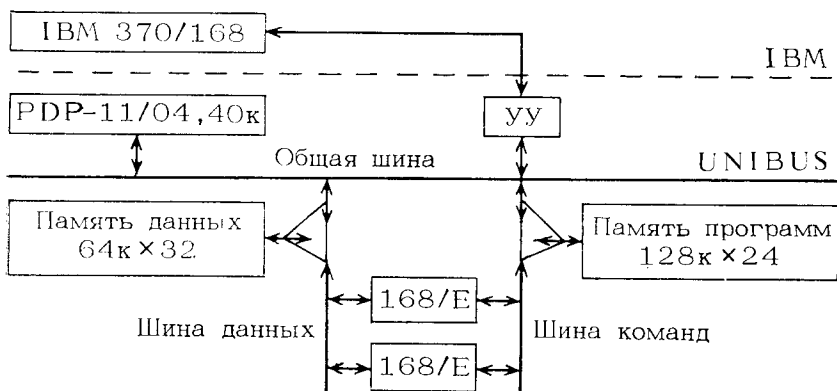


Рис. 17. Пример организации системы обработки данных с эмуляторами высокопроизводительной ЭВМ

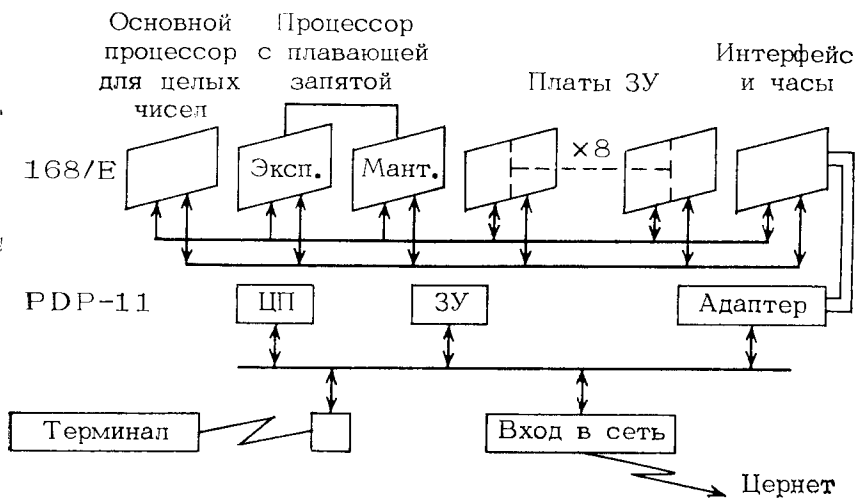


Рис. 18. Упрощенная структурная схема процессора 168/E, эмулирующего ЭВМ IBM 370/168

ном времени эксперимента. Камера была установлена на лазерном пучке обратного рассеяния и использовалась для получения снимков событий с очарованными частицами. Процессор находит треки частиц с моментом более 2 ГэВ/с, которые экстраполируются по линии пучка в реперный объем камеры, и исключает фоновые электрон-позитронные пары и в промежутках между циклами обрабатывает события, включая те, которые не запускают камеру. Время решения составляет около 0,2 мкс. Десятки микрокомпьютеров 168/E используются в различных физических лабораториях как

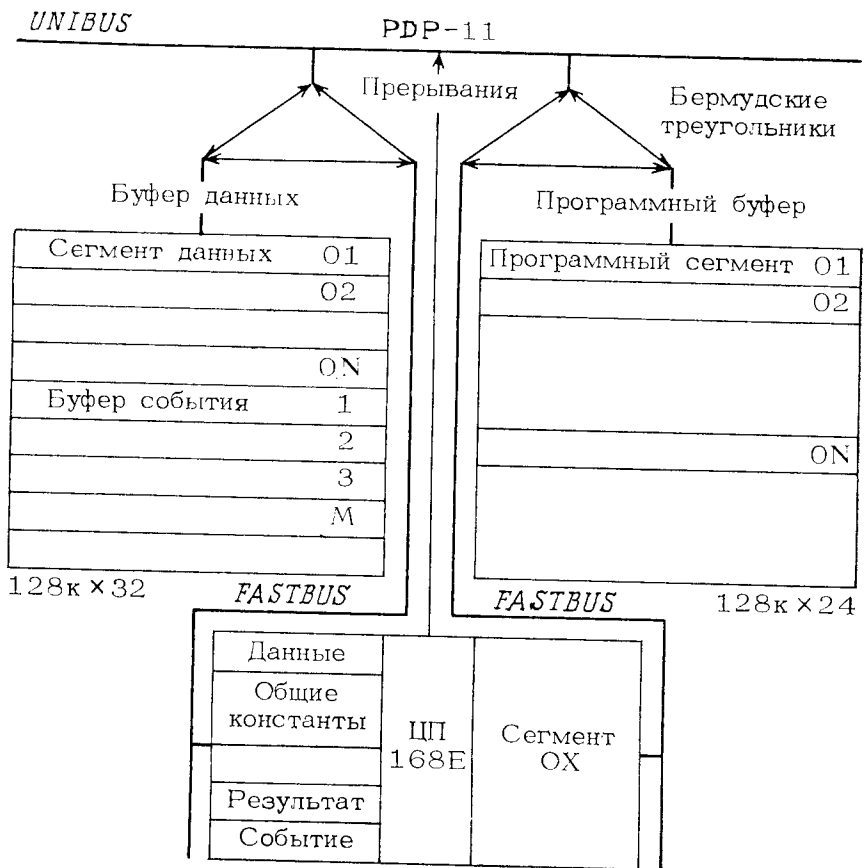


Рис. 19. Структурная схема подключения процессора 168/E к памяти и шине UNIBUS с помощью тройного коммутатора

для обработки данных, так и на линии. Для ЭВМ типа ЕС, которые используются на линии со спектрометрами, также целесообразно создание микрокомпьютеров, эмулирующих ЭВМ единой системы.

Эмулирующие процессоры — микропрограммные аналоги — были созданы практически для всех высокопроизводительных ЭВМ, применяемых в физических лабораториях. Характеристики некоторых из них приведены в табл. 15. Примечательно, что быстроедействие эмулирующего варианта PDP-11, микрокомпьютера MICE, разработанного в ЦЕРН, выше, чем у эмулируемых им ЭВМ: PDP-11/70 в 3 раза и PDP-11/34 — в 10 раз [3].

Структурная схема эмулирующего процессора MICE показана на рис. 20. Слева от адаптера шины UNIBUS (обозначен на рисунке

Т а б л и ц а 15. Характеристики некоторых процессоров, эмулирующих высокопроизводительные ЭВМ

Характеристика	Место разработки				
	GA103	MICE	PUMA	168/E	RISC
	Orsay	CERN	NYU, США	SLAC, CERN	Berkeley
ЭВМ-аналог	PDP-11	PDP-11	CDC-7600	IBM 370/168	VAX-11/780
Микропроцессор	2903	10800	Микросхемы типа ECL	2901	—
Длительность микроцикла t_0 , мкс	0,13	0,1	0,5—0,25	0,15	—
Длина слова микрокоманд	80	128	85	24	—
Емкость микропрограммной памяти, кбайт	1, ПЗУ 0,256, ОЗУ	1, ОЗУ	1	$n \times 4$	—
Емкость памяти для соответствия аналогу, кбайт	64	28	—	$n \times 4$	—
Интерфейс	—	CAMAC, ROMULUS UNIBUS	PDP-11	PDP-11	PDP-11, массовая память 1
Быстродействие по сравнению с аналогом	—	$3 \times$ PDP-11/70	0,3—0,5	0,3—0,5	—
Способ ввода	Использует микропрограммный интерпретатор	Эмулирует только команды с фиксированной запятой	—	Код IBM предварительно транслируется в микрокод 168/E	—

как *U*-шина) находится собственно микропрограммный процессор. Он состоит из ЦП, управляемого читаемого ЗУ микропрограммной памяти, связанного с ЦП, и целевого ЗУ, обеспечивающего хранение транслятора команд ЭВМ PDP-11.

6. ИНТЕРФЕЙСЫ МНОГОПРОЦЕССОРНЫХ СИСТЕМ

Требования к стандартной шине. Задача стандартной шины обмена многопроцессорных систем — обеспечить обмен информацией между функциональными модулями, такими как каналы регистрации

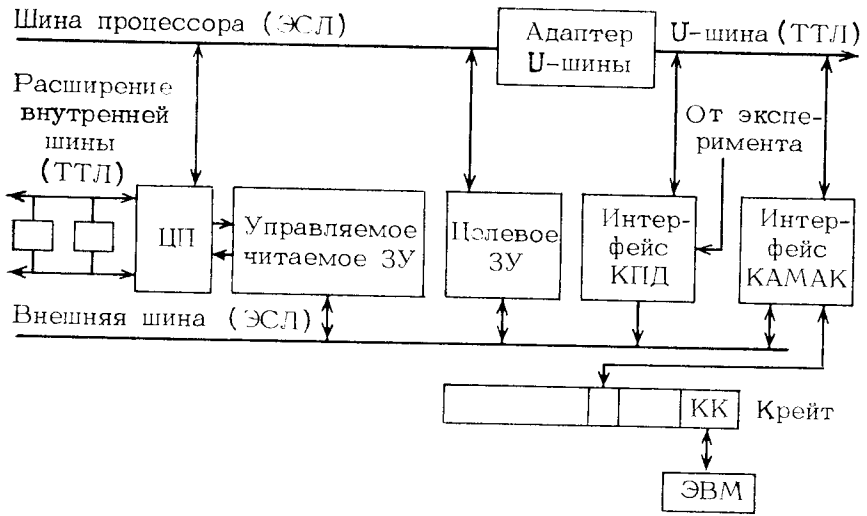


Рис. 20. Структурная схема процессора MICE, эмулирующего ЭВМ PDP-11 и преобразования входных сигналов от детекторов спектрометра, процессорами и модулями ЗУ [23] (рис. 21).

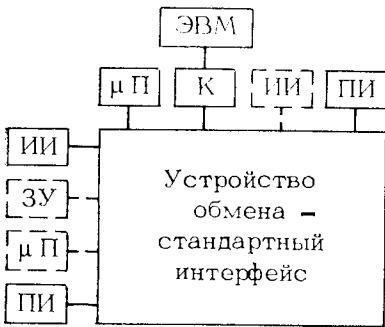
Применение стандартной шины обмена позволяет уменьшить затраты на разработку многопроцессорных систем в лабораториях

и обеспечить взаимный межлабораторный обмен имеющимися разработками. С учетом прогноза развития микроэлектроники (см. рис.1) целесообразно использование в качестве стандартного интерфейса, который мог бы служить десятилетиями подобно системе КАМАК.

Наиболее важными параметрами, характеризующими шину обмена, являются пропускная способность C_0 , длина адресной части слов для обращения к модулям (т. е. в конечном итоге число модулей, которое возможно подключить к шине) M , к процессорам N и другим шинам Q и стоимость места свободной площади внутри модуля e_f [24].

Рис. 21. Структурная схема многопроцессорной системы:

$\mu П$ — микропроцессорный контроллер; $К$ — интерфейс ЭВМ; $ИИ$ $ПИ$ — функциональные модули; $ЗУ$ — запоминающее устройство



Пропускная способность шины C_0 определяется в основном длиной слова, передаваемого по ней, w_0 и продолжительностью цикла обмена t_0

$$C_0 = w_0/t_0. \tag{5}$$

Если предположить, что во всех элементах системы применяются однотипные процессоры и микросхемы с одинаковым быстродействием и что шина должна обеспечивать максимальную пропускную способность со стороны как модулей — источников информации, так и процессоров, то условие (5) приводит к равенству

$$w_{\text{и}} = w_0 = w_{\text{п}}, \quad (6)$$

где $w_{\text{и}}$ и $w_{\text{п}}$ — средняя длина слов источников информации и процессоров соответственно.

Отсюда следует, во-первых, что разрядность стандартной шины должна быть равной разрядности каналов обмена используемых процессоров и, во-вторых, что каналы регистрации следует группировать в модулях так, чтобы разрядность информации, считываемой с него за один цикл, была равна разрядности шины обмена.

Обращение к модулям и процессорам в пределах возможного на шине адреса физически до некоторых пределов определяется нагрузочной способностью используемых микросхем, выходящих на шину обмена. Дальнейшее увеличение адресуемости осуществляется специальными способами и модулями связи. Существуют три типа адресации: географическая, когда адрес каждого элемента определяется местом расположения, логическая, когда каждый элемент содержит записанный в нем постоянный адрес в двоичном коде, и одновременная, когда обращение осуществляется сразу ко всем модулям.

Географическая адресация практически возможна только в пределах одного элемента (сегмента, крейта), так как с расширением числа адресов требуется быстрое увеличение числа проводников шины, что приводит к существенному росту затрат на интерфейс. Логическая адресация физически дает значительно большие возможности адресации. Адрес каждого устройства или модуля в системе записывается в постоянном запоминающем устройстве (ППЗУ). В связи с общей тенденцией к снижению стоимости полупроводниковых ЗУ в перспективе при использовании логической адресации число подключаемых модулей может быть практически неограниченным.

При одинаковых функциональных возможностях выбор интерфейса определяется в конечном итоге затратами. Затраты на место складываются из затрат на интерфейсную часть модуля, затрат на крейт, отнесенных к одному модулю, куда входят затраты на конструктив, источник питания, контроллер крейта (арбитр шины, интерфейс сегмента), элементы нагрузки шины, участок печатной платы, занятый под интерфейс, и затраты на микромодули самого интерфейса.

С учетом имеющихся тенденций в развитии СВИС общие характеристики современного стандартного интерфейса следующие [24]:

1. Количество адресных и информационных проводников на шине обмена должно быть не менее 16 и достигать до 32, чтобы обеспечить использование микропроцессоров с увеличенной разрядностью к 90-м годам (см. рис. 1).

2. Увеличенное адресное поле внутри модуля (около 20 разрядов), чтобы адресоваться непосредственно к памяти емкостью 1 Мбайт и более.

3. Наличие географической (внутри крейта), логической и прямой (одновременной) адресации. Применение логической адресации приводит к возможности расширения системы в пределах адресного поля. Прямая адресация ускоряет процесс параллельной обработки данных.

4. Наличие стандартного протокола обмена в режиме запрос — ответ и арбитража процессоров.

5. Увеличенное число возможных источников прерываний и определение их приоритетов (обработка векторов прерываний).

6. Снижение затрат на организацию места, что означает наличие доступного дешевого крейта, выпускаемого промышленностью, и удешевление схем сопряжения (интерфейса) в модулях.

7. Повышенная пропускная способность (в основном в спектрометрах физики высоких энергий).

Часть этих требований противоречива, поэтому возможны либо компромиссные решения, либо использование нескольких специализированных интерфейсов.

Ограничения существующих стандартных шин. Существующие широко используемые стандартные шины подразделяются на две группы: шины для организации систем (измерительных и управления) и шины ЭВМ. Пока, к сожалению, не имеется возможности ограничиться одной универсальной шиной, сочетающей преимущества шин обоих типов. Из системных шин наиболее широко используются крейт, ветвь [25] и последовательная шина КАМАК [26] и универсальный интерфейс GPIB (МЭК 625).

Крейт КАМАК обеспечивает возможность адресации к 368 источникам и приемникам информации при использовании всех адресов. Внутри крейта применяется географическая адресация к 23 модулям и логическая — внутри модулей (16 адресов). Длительность временного цикла составляет 1 мкс, таким образом, шина крейта, по которой возможна передача трех байтов информации в цикле, имеет скорость обмена 3 Мбайт/с, что соответствует в целом пропускной способности каналов обмена современных малых ЭВМ, но недостаточно для быстродействующих препроцессоров систем отбора спектрометров.

Стандартным способом организации средних и больших систем является ветвь КАМАК [25]. Шина ветви обеспечивает связь до 7 крейтов через стандартные контроллеры крейта типа А с одним общим интерфейсом источника программ, так называемым драйвером ветви. В ветви КАМАК применяется логическая адресация к крейтам, и адрес каждого крейта закодирован в двоичном коде внутри соответствующего контроллера типа А и не зависит от местонахождения крейта. Число запросов обслуживания для 7-крейтной системы может достигать 161. Длительность цикла ветви составляет, так же как

и в крейте, приблизительно 1 мкс, и пропускная способность ветви равна пропускной способности крейта.

В пределах ветви можно организовать обращения к 2576 адресам, что, в принципе, позволяет создавать регистрирующие системы довольно крупных спектрометров с проволочными детекторами.

В 70-х годах для систем управления больших ускорителей частиц высоких энергий с диаметрами в несколько километров, таких как протонные синхротроны в ЦЕРН (Женева) и в Батавии [27] (США), потребовалась организация распределенных измерительных и управляющих систем. Для таких систем, содержащих до 62 крейтов, был разработан стандарт на последовательную шину КАМАК [26]. На последовательной шине применяется логическая адресация крейтов. В ней возможно обращение к 22816 адресам. Таким образом, при отсутствии ограничений по стоимости и надежности она используется для организации больших систем.

Скорость обмена на последовательной шине зависит от частоты синхронизации, типа передачи (поразрядной или байтами), количества крейтов, длительности цикла шины крейта, длины кабеля связи крейтов и скорости распространения сигнала в нем. Протяженность шины можно практически увеличить неограниченно при использовании, например, телефонных, радиочастотных, микроволновых или оптических линий связи.

Использование стандартных интерфейсов КАМАК значительно сократило сроки создания и затраты при выполнении систем, затраты на обслуживание их и решило большинство проблем при создании автоматизированных систем для физических исследований в 70-е годы.

Были разработаны и стали выпускаться рядом фирм модули КАМАК, позволяющие создавать автоматизированные системы как для ядерной физики и физики высоких энергий, так и в других областях научных исследований. В настоящее время крейт КАМАК является также стандартом в СССР [28] и широко используется в различных организациях страны. По-видимому, стандарт КАМАК в ближайшее десятилетие останется основным стандартом для организации систем физических исследований.

В то же время применительно к многопроцессорным системам крейт КАМАК использоваться не может, так как в нем предусмотрен только один источник управления. Кроме того, малая длина слова адреса внутри модуля КАМАК (4 разряда) не позволяет обращаться непосредственно к ЗУ большой емкости, выполнение которых возможно с современными СВИС. Для специпроцессоров триггерных систем спектрометров шина КАМАК оказалась слишком медленной.

С середины 70-х годов для организации малых систем наряду с крейтом КАМАК получила широкое распространение предложенная первоначально фирмой Hewlett — Packard интерфейсная шина общего назначения или сокращенно GPIB (General Purpose Interface Bus), ставшая затем международным стандартом (МЭК 625).

Эта шина позволяет организовать обмен информацией любыми 8-разрядными сообщениями между несколькими отдельными устройствами (до 15) с помощью гибкого кабеля. Стоимость подключения к GPIB невелика, так как в настоящее время имеется ряд интерфейсных БИС, позволяющих сопрягать с ней приборы. Наибольшая скорость обмена 1 Мбайт/с достигается при блочной передаче большого количества данных. При передаче однословных сообщений она снижается. Преимуществом этого интерфейса являются малые затраты на его организацию (не требуется механических конструкций, только кабель и контроллер). Из-за малой разрядности шины GPIB она также не подходит для создания современных многопроцессорных систем с ЗУ большой емкости.

На организацию многопроцессорных систем и обращение к памяти со сравнительно большой емкостью ориентированы шины современных ЭВМ, такие как Multibus и Unibus. На первой шине основаны микро-ЭВМ фирмы Intel, на второй ЭВМ фирмы DEC [8]. Однако малое число разрядов адреса в этих шинах ограничивает их использование в перспективе для ожидаемых емкостей одноплатных ЗУ. Кроме того, использование шин ЭВМ для организации систем, применяемых в исследованиях ядра и элементарных частиц, практически невозможно из-за огромного числа различных типов специализированных функциональных модулей, требуемых в этих системах, и огромных затрат, необходимых для переработки этих уже существующих модулей, например в стандарте КАМАК, в стандарт шины данной ЭВМ.

Предпринимаются попытки разработок специальных стандартных шин для многопроцессорных систем, а также приспособления уже существующих шин к новым требованиям.

Многопроцессорный крейт КАМАК. Стандартным способом организации систем со многими процессорами является многопроцессорный крейт КАМАК [29], предложенный впервые в 1977 г. (стандарт ESONE EUR 6500). Его структурная схема показана на рис. 22.

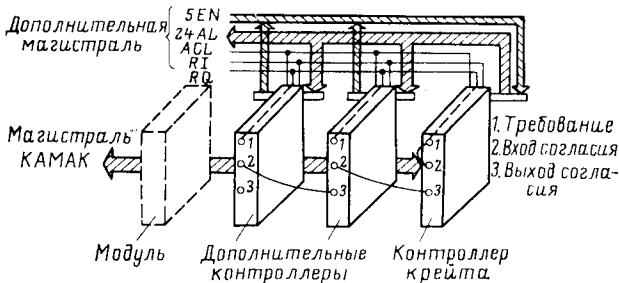


Рис. 22. Многопроцессорный крейт:

сигналы на дополнительной шине:

5EN — обращения и 24AL — запросов L к контроллерам; ACL — блокировки дополнительных контроллеров; RQ — запроса и RI — его запрета

Процессоры, или дополнительные контроллеры, размещаются в обычном крейте КАМАК, управляемом контроллером крейта, называемым контроллером типа А-2. Он, в частности, может быть стандартным контроллером ветви подобно контроллеру типа А с некоторыми добавлениями для организации многоконтроллерных систем или контроллером последовательной шины КАМАК. Географическая адресация модулей N и запросов обслуживания L в обычном крейте не предусматривает размещения в нем других источников программ, кроме контроллера крейта. Поэтому введена дополнительная шина (ДШ) для адресации дополнительных контроллеров и шина приоритетов. Каждый контроллер для подключения ДШ должен иметь на задней панели модуля соответствующий разъем, который располагается выше шины крейта. Приоритеты организуются через разъемы на передних панелях контроллеров, а также с помощью особого сигнала. Контроллер при подключении других процессоров в крейт должен связать проводники запросов L шины КАМАК с ДШ и иметь дешифратор для адресов N . Максимальное число процессоров в крейте равно девяти. Многоконтроллерный крейт является устройством организации обмена с достаточно высокой пропускной способностью, как и сам крейт КАМАК.

COMPEX. В многопроцессорном крейте КАМАК отсутствует прямая адресация к памяти большой емкости. Поэтому комитет ESONE разрабатывает систему COMPEX [30] (COMPAtible EXtended Use of the CAMAC Dataway), которая более удовлетворяет требованиям к современному стандартному интерфейсу. В этой системе изменяется назначение проводников шины крейта, вводятся некоторые новые команды, модифицируется цикл и усложняется обработка запросов. При этих изменениях в пределах одного крейта можно использовать модули КАМАК и модули COMPEX только при условии, что контроллеры отвечают требованиям обеих систем, что пока ограничивает применение системы COMPEX. В крейте этой системы для адресации используются 24 шины записи W , для передачи данных — 24 шины чтения R крейта КАМАК. Предусмотрена как географическая, так и логическая адресация, причем при географической адресации модуль реагирует на сигналы по шинам N , как и в обычном крейте, но внутри него адресное пространство имеет уже 24 разряда. Допускается 255 источников запросов на прерывание внутри каждого модуля. Выходы запросов имеют кодирование по приоритетам и образуют вектор прерываний. Распределение управления шиной при наличии нескольких процессоров осуществляется с помощью дополнительной шины, как в многопроцессорном крейте.

FASTBUS—специализированный интерфейс для спектрометров физики высоких энергий. В 1977 г. комитет NIM (Nuclear Instrumentation Modules) при поддержке министерства энергетики США начал разработку более быстрой, чем КАМАК, шины, названной FASTBUS [21]. Целью этой разработки было обеспечение большей, по крайней мере на порядок, скорости обмена данными на шине в сравнении

с существующими системами и одновременно параллельной обработкой информации многопроцессорными системами. Шина FASTBUS должна также обеспечить быстрое сканирование в регистрах многопроволочных камер, формирование сигналов устройств быстрого предварительного отбора в спектрометрах и построение специализированных процессоров на стандартной основе для отбора событий в физике высоких энергий. Поэтому в шине FASTBUS предусмотрено соответствующее расширение поля адресов внутри модуля, географическая, логическая и прямая адресации и выборочное сканирова-

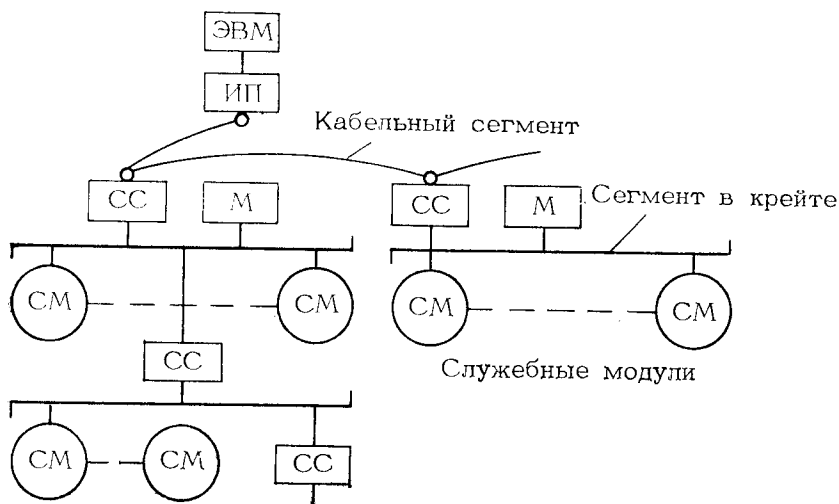


Рис. 23. Пример организации системы с шиной FASTBUS:

М — мастер; *ИП* — интерфейс процессора; *СС* — модуль связи сегментов; *СМ* — функциональные модули (например, каналы регистрации данных)

ние по адресам. В системе FASTBUS имеется один основной сегмент или в виде крейта, или в виде кабельной шины, на базе которого можно неограниченно расширять систему. Основными элементами являются модуль и сегмент.

На рис. 23 показан пример организации системы с четырьмя сегментами. Сегмент содержит шину обмена и может вмещать до 26 модулей, которые могут быть как источниками и приемниками информации, так и процессорами. Имеется ряд специальных модулей — интерфейс связи сегментов для подключения другого сегмента, интерфейс процессора, буфер для согласования с устройствами, отличающимися по пропускной способности, и для работы на длинные линии, модуль управления сегментом, или мастер, и служебный модуль. Мастер в сегменте может быть несколько, для чего предусмотрен арбитраж их приоритетов. Если мастер из одного сегмента связывается со служебным модулем другого, то он прежде всего

обращается к своему арбитру. Получив высший приоритет в своем сегменте, мастер через модуль связи запрашивает управление шиной соответствующего сегмента. Через модуль связи сегментов посылается вектор приоритета, который рассматривается арбитром сегмента, где находится служебный модуль.

Для адресов и данных в сегменте предусмотрено 32 разряда, причем с этой целью используются одни и те же шины. Пропускная способность шины FASTBUS составляет около 40 Мбайт/с. Применение микросхем ЭСЛ привело к необходимости использования более мощного источника питания (до 2 кВт), чем в кейте КАМАК, и как следствие к повышенному тепловыделению, поэтому предусмотрены два типа сегментов: с воздушным и водяным охлаждением. Размеры модулей и соответственно объем кейта увеличиваются для улучшения теплообмена. Увеличение мощности источника питания, конструктивных размеров и применение микросхем ЭСЛ означают значительный рост стоимости сегментов FASTBUS по сравнению со стоимостью кейта КАМАК, а также некоторое усложнение технологии выполнения системы проводников в шине.

Многопроцессорные интерфейсы в конструктивах EUROBUS.
Система E3S. Стремление к удешевлению стоимости места при сохранении всех требований, предъявляемых к современному стандартному интерфейсу, заставило разработчиков обратиться к системе EUROBUS [31]. Эта система была первоначально разработана министерством обороны Великобритании под названием MODBUS и впоследствии представлена для утверждения в качестве международного стандарта для малых, многопроцессорных и распределенных систем, чтобы обеспечить использование общего набора модулей на платах Eurocard, широко используемых в странах Западной Европы.

В 1981 г. комитетом ESONE была предложена стандартная микропроцессорная система для обработки и сбора данных и управления, или сокращенно E3S [32] (Esome Small System Standard), которая использует основные принципы системы EUROBUS, ее конструктивы и печатные платы Eurocard. На шине предусмотрены 24 разряда для обмена информацией и 16 для адресации. Обмен данными и адресация разделены во времени. Предусмотрен протокол обмена для многопроцессорных и многокейтных систем (до 7 кейтов). Адресация логическая и общая. Адресное поле позволяет в пределах кейта обращаться к памяти до 16 М слов или для 7-кейтной системы до 2 Мслов на кейт. В кейте имеется 21 место, крайнее левое предусмотрено для арбитра шины. Имеется распределение управления шиной с опережением на один цикл, как в современных ЭВМ. Важным преимуществом системы EUROBUS является наличие интерфейсного набора БИС [33], что позволяет снизить затраты на организацию места. Для организации сопряжения необходимо всего семь специальных БИС на модуль. Пропускная способность шины E3S примерно в 2 раза выше, чем в кейте КАМАК.

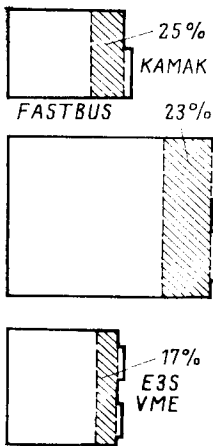


Рис. 24. Сравнение размеров плат модулей (заштрихованная часть модуля, занятая под стандартный интерфейс) различных систем

Шина VME. Первоначально шина VME (Versa Modular Europe) была создана для многопроцессорных систем на основе микропроцессора MC 68000 [34]. Затем она была предложена тремя крупными фирмами Motorola, Signetics и Mostek, которые разработали для нее интерфейсные БИС как международный стандарт. В ней используются те же конструктивы — Eurocard и Eurocrate, что и в шине E3S. Передача данных и адресов в шине VME разделена.

При передаче 16 разрядов данных и 24 адресов используется один разъем типа C64 фирмы CANNON. Предусмотрены два варианта шины обмена: с одним и двумя разъемами. При использовании второго разъема типа C96 (CANNON) передаются 32 разряда данных и 32 разряда адресов. На разъеме C96 64 контакта зарезервированы для ввода-вывода информации пользователя. Скорость обмена данными на шине достигает 24 Мбайт/с. Наряду с параллельной шиной используется синхронная последовательная, так называемая шина I²B (Interintelligence Bus). По ней могут передаваться прерывания, команды как по определенному адресу, так и с одновременным обращением. Сообщения на шине I²B несут также адрес их источника. Протокол обмена отличается наличием двух строб-сигналов, которые позволяют выполнять команды типа чтение-модификация-запись непрерывным образом, что гарантирует надежное распределение ресурсов в многопроцессорных системах. Имеются 7 уровней запросов прерывания. Недостатком шины VME является отсутствие стандартного расширителя для подключения других шин.

Сравнительные оценки. На рис. 24 показаны платы модулей в системах FASTBUS, KAMAK и E3S, на которых заштрихованы площади, занимаемые под интерфейс [24]. В табл. 16 приведено

Таблица 16. Сравнение стандартных шин

Тип шины	Объем адресации V	Пропускная способность C , Мбайт/с	e_f , отн.ед.	$\frac{VC}{e_f}$
6500	6—12	1—2	1	12
COMPEX	5—15	2	1	10—30
E3S	5	6	0,8	30
FASTBUS	13	40	2,5	210
VME	8,5	24	1	205

сравнение стандартных интерфейсов по основным параметрам. За единицу приняты значения основных параметров при использовании крейта КАМАК. В качестве критерия сравнения выбрана величина VC/e_f , где V — объем адресации, занимаемой в пространстве адресов модулей M , процессоров N и шин Q ; C — пропускная способность шины и e_f — стоимость единицы свободной площади платы модуля.

Как видно из табл. 16, наименьшими затратами характеризуются шины на основе конструктивов EUROBUS, однако если рассматривать совокупный критерий с учетом пропускной способности магистрали C_0 и объема адресации, более благоприятная ситуация складывается для шин VME и FASTBUS по сравнению со стандартом EUR 6500 и системами COMPEX и E3S. Система FASTBUS является наиболее универсальной, т. е. она рассчитана на создание как систем отбора и регистрации спектрометров, так и многопроцессорных систем обработки данных. Несмотря на технологическую сложность изготовления, относительно высокую стоимость этой системы и сложный протокол обмена, она постепенно (хотя и более медленно, чем предполагалось вначале при ее разработке) начинает использоваться при создании спектрометров физики высоких энергий. Во всяком случае, большинство проектов экспериментов, предлагаемых на следующее десятилетие, основываются, хотя бы частично, на системе FASTBUS. Цена крейта FASTBUS постепенно снижается, и следует ожидать с расширением выпуска его фирмами дальнейшего роста величины VC/e_f . Система VME является по замыслу шиной, ориентированной исключительно на многопроцессорные системы, и имеет ряд явных преимуществ.

Таким образом, задачи исследований в физике ядра и элементарных частиц и развитие новых детекторов элементарных частиц стимулировали создание стандартных интерфейсов. Стандарты КАМАК позволяют решить большинство задач в области построения систем автоматизации научного эксперимента в течение ближайшего десятилетия. В то же время наряду с системой КАМАК для параллельной обработки данных найдут применение многопроцессорные системы, основанные на евроконструктивах и еврокарте; а также шина FASTBUS для той же цели, но при повышенном быстродействии и для регистрации и отбора данных в больших системах спектрометров. Окончательный выбор стандарта на шину для многопроцессорных систем, основанных на евроконструктивах, будет определяться наиболее доступными интерфейсными БИС.

7. СУПЕРКОМПЬЮТЕРЫ

Опыт последних двух десятилетий говорит о том, что быстродействие элементной базы ЭВМ практически не росло, но продолжалось снижение цены элементов. Таким образом, современная тенденция увеличения производительности ЭВМ заключается не в увеличении их быстродействия, а в параллельной обработке данных много-

процессорными системами на всех уровнях и использовании специализированных процессоров для отдельных задач [35]. Сверхбольшие ЭВМ в физике высоких энергий используются, во-первых, для анализа событий, содержащих траектории десятков и сотен частиц, и, во-вторых, для моделирования экспериментов методом Монте-Карло. Компьютерное моделирование эксперимента в физике высоких энергий сейчас приближается по характеру к проведению самого эксперимента. Матричные процессоры значительно ускоряют вычисления по методу Монте-Карло и в калибровочных теориях поля. Анализ глюонов требует при использовании этого метода матриц с размерностью до $10^3 \times 10^3$.

Процессорные матрицы представляют собой один из наиболее перспективных путей создания суперкомпьютеров для моделирования задач физики высоких энергий. В настоящее время реализуется такой суперкомпьютер с 4000 процессоров и 4000 запоминающих устройств [35].

Универсальные суперкомпьютеры, созданные в последнее десятилетие, такие как Cyber 205 и Cray, обладают высокой производительностью до 800 Моп/с при операциях с векторами. Однако в задачах обработки данных со спектрометров физики высоких энергий их производительность на два порядка меньше и примерно соответствует производительности ЭВМ типа VAX-11/780.

По-видимому, универсальные ЭВМ никогда не смогут удовлетворить потребности физики высоких энергий, поэтому другой путь увеличения производительности ЭВМ заключается в развитии набора специализированных процессоров. Физика высоких энергий стимулирует в настоящее время разработку целого ряда таких специализированных процессоров. Наибольший интерес представляют собой спецпроцессоры (СП) для пространственной реконструкции событий, матричный СП для калибровочной теории поля и СП для быстрого анализа гистограмм. Создано по крайней мере 4 СП первого типа, которые на 2—3 порядка производительнее, чем ЭВМ типа Cyber 175 или IBM 370/168. Недостаток этих СП — жесткая структура и специализированный набор команд. Следующий этап заключается в создании СП, оперировать с которыми было бы возможно, используя микропроцессорные компиляторы ФОРТРАНа при производительности на 2 порядка большей, чем у современных больших ЭВМ. Матобеспечение для анализа и моделирования экспериментов написано на ФОРТРАНе за 20 лет, начиная с начала 60-х годов, и к 1971 г. практически достигло уровня стандартов и не изменяется, поэтому, в принципе, возможен перевод ФОРТРАНа на уровень зашитых программ в специализированных процессорах.

8. ПЕРСОНАЛЬНЫЕ КОМПЬЮТЕРЫ

Персональные компьютеры находят все более широкое применение для обработки и анализа данных на рабочих местах экспериментатора. Персональный компьютер представляет собой миниатюрную

настольную ЭВМ с клавиатурой и выходом на бытовой телевизор в минимальном варианте. Наиболее распространенный вариант в настоящее время имеет собственный цветной дисплей, два гибких диска, обычно в одном корпусе с компьютером, и клавиатуру. Такой набор обладает обычно оперативной памятью от 32 кбайт до 1 Мбайт и памятью на гибких дисках от 0,3 до 10 Мбайт.

По назначению персональные компьютеры подразделяются на универсальные, учебные, профессиональные (научно-технические, коммерческие), бытовые. В зависимости от используемого набора периферийных устройств и объема памяти стоимость персональных компьютеров находится в диапазоне от 300 до 10 тыс. долл.

Обычно в составе матобеспечения имеется дисковая операционная система, языки БЕЙСИК, ПАСКАЛЬ, ФОРТРАН, прикладные программы для специализированных персональных компьютеров. Набор периферийных устройств может быть расширен цифроречью, считывателем перфокарт, другими средствами взаимодействия: джойстиком, педалью, трекболом. Для подключения дополнительных периферийных устройств, а также объектов исследования и управления у некоторых персональных компьютеров предусмотрен выход на стандартный интерфейс и свободные места на шине обмена. Обычно имеется возможность подключения персонального компьютера во внешнюю терминальную сеть ЭВМ и использование его как терминала, эмулирующего какой-нибудь широко распространенный терминал.

Характеристики наиболее широко распространенных персональных компьютеров приведены в табл. 17. Первый персональный ком-

Таблица 17. Характеристики персональных компьютеров

Наименование	Назначение	Тип микропроцессора	Объем ОЗУ, кбайт	Матобеспечение	Цена, тыс. долл.
Apple-IIe	Универсальный	—	64—128	БЕЙСИК, ПАСКАЛЬ, ФОРТРАН	10
Lisa	Коммерческий	68000	1М	БЕЙСИК, ПАСКАЛЬ, КОБОЛ, ФОРТРАН-IV,	10
Commodor VIC 20, модель 4040	Научно-инженерный	—	16—32	DOS 3.3	—
Hp 200, модель 16	То же	6800	128—768	БЕЙСИК, ПАСКАЛЬ,	—
IBM PC	Универсальный	8077	16—256	БЕЙСИК, СPM/86, MS-DOS PC-DOS	—

пьютер Apple-IIe был выпущен в 1977 г. Он имел память всего 16 кбайт и выход на бытовой телевизор. Последняя модель фирмы Lisa, выпущенная в 1983 г., имеет оперативную память 1 Мбайт, память на гибких дисках 1,7 Мбайт, цветной дисплей с обственной памятью 32 к, современную операционную систему UNIX. Надежность персональных компьютеров достаточно высока. Например, среднее время между отказами для компьютера Lisa — более 30 тыс.ч в непрерывной работе. Матобеспечение персональных компьютеров организовано таким образом, чтобы облегчить общение и обучение пользователя. Как правило, время обучения составляет всего несколько часов. Ввиду малой стоимости персональных компьютеров возможно применение их в небольших лабораторных измерительных системах и включение как часть оборудования в большие системы.

9. ПОЛНАЯ ОБРАБОТКА ДАННЫХ В ТЕЧЕНИЕ ЭКСПЕРИМЕНТА

Полная обработка данных со спектрометров на высокопроизводительных ЭВМ занимает примерно на порядок большее время, чем регистрация этих данных в ходе эксперимента, что задерживает получение конечных результатов и требует больших затрат. В предшествующие годы производительность вычислительных центров крупных физических лабораторий росла примерно на порядок за пятилетие, в основном за счет увеличения числа ЭВМ или установки новых, более производительных, что означало непрерывный рост капиталовложений в средства вычислительной техники.

Опыт применения специализированных микропроцессорных систем для отбора и обработки событий показал, что этот путь более эффективен. При обработке событий наибольшее время процессора требуется для пространственной реконструкции треков частиц, зарегистрированных в многопроволочных камерах (табл. 18) [36].

Таблица 18. Распределение времени работы программы обработки события [36]

Вид операции	Время работы программы, %
Наладка и калибровка	2
Операции со списками, проекциями треков	74,6
Фит	15
Выбор трека	7,7
Прочие операции	0,7

Анализ, выполненный в ФНАЛ [36], говорит о том, что при разработке специализированных процессоров для пространственной реконструкции событий в спектрометрах с проволочными камерами можно

получить те же результаты, что и при десятикратном росте производительности вычислительного центра, но при затратах, составляющих всего 10% его стоимости. Поэтому в крупнейших физических лабораториях (ЦЕРН, ФНАЛ) на следующее пятилетие планируется только удвоение производительности главных вычислительных центров, но одновременно широкое применение спецпроцессоров для обработки данных. Вычислительные центры лабораторий при этом

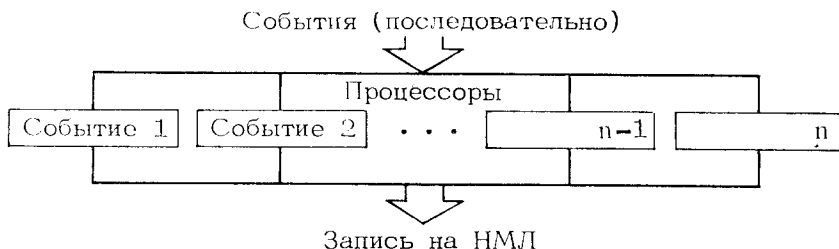


Рис. 25. Принцип параллельной обработки последовательных событий

играют все большую роль как система обслуживания и подготовки матобеспечения для специализированных процессоров обработки данных.

Применение принципов параллельной обработки к событиям возможно ввиду статистической независимости самих событий. На рис. 25 показана упрощенная структурная схема такой системы, содержащей n процессоров, каждый из которых обрабатывает одно из поступающих последовательно событий. При использовании для переключения данных о событиях быстрой шины типа FASTBUS и переписи результатов на магнитную ленту возможно параллельное включение до 100 таких процессоров. Программа обработки события состоит из нескольких подпрограмм разной степени сложности, охватывающих детекторы различных типов. Поэтому практически структурная схема процессора обработки данных со спектрометра типа, показанного на рис. 12, является не только параллельной, но и многоступенчатой (рис. 26,а). На каждой ступени производится обработка данных с одного из типов детекторов. В показанном на рис. 26,а примере [36] для анализа информации с позиционных полупроводниковых детекторов ядер отдачи используются три параллельных процессора. Для регистрации треков заряженных частиц, зарегистрированных в проволочных камерах, применяются 16 параллельных процессоров и для обработки данных с черенковского калориметра — 1.

Поскольку в каждой программе имеется ядро — определенный набор наиболее часто повторяющихся команд, для ускорения их выполнения можно подключить к основным процессорам сопровождающие их процессоры — сопроцессоры и таким образом увеличить эффективность обработки. В частности, такие сопроцессоры могут

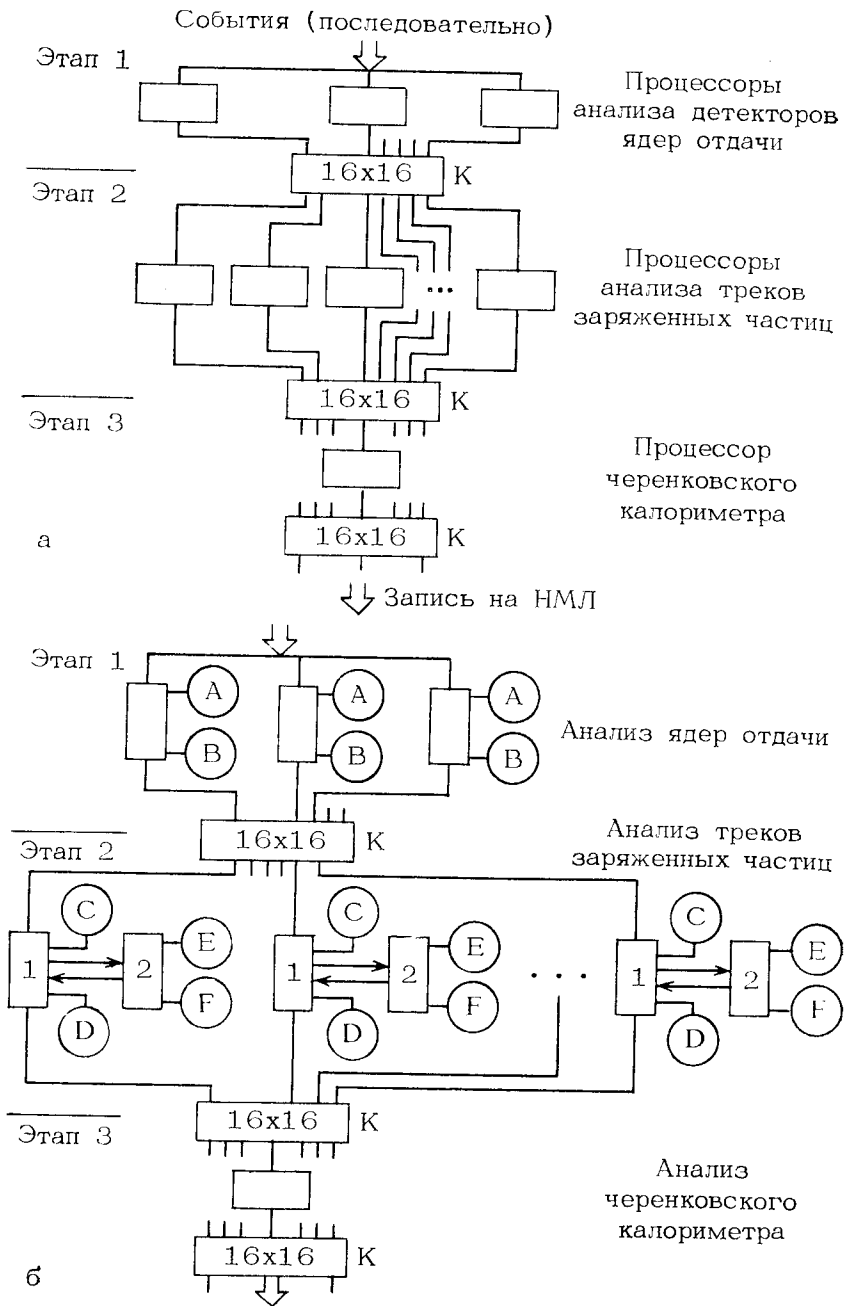


Рис. 26. Структурная схема многопроцессорной системы для анализа событий:
 а — упрощенная; б — полная; К — коммутатор шин обмена; А—F — сопроцессоры

выполнять операции с матрицами. На рис. 26,б показана структурная схема подобного устройства с подключением сопроцессоров к каждому из параллельных процессоров. Число процессоров реконструкции треков заряженных частиц удвоено, что позволяет одновременно вести обработку двух событий. Ожидается, что в конечном итоге разрабатываемые спецпроцессоры позволят получить эффективность обработки, равную 100 ЭВМ типа Cyber 175 [36].

ЗАКЛЮЧЕНИЕ

Прогресс в области микроэлектроники оказал уже заметное влияние на методику экспериментов физики элементарных частиц высоких энергий. Применение микропроцессоров в спектрометрах ускорило на 1—2 порядка время набора событий и обещает в ближайшем будущем решить вопрос полной обработки событий в реальном времени эксперимента. Можно ожидать, что в ближайшие годы в результате использования микропроцессоров производительность вычислительных средств возрастет настолько, что снимет существующие ограничения по времени и затратам на обработку результатов экспериментов.

Таким образом, микропроцессоры и другие СБИС создали новые возможности эффективного набора и обработки данных в экспериментах физики ядра и элементарных частиц. В то же время разработанные для этой области научных исследований спецпроцессоры и стандарты имеют значительно более широкие возможности применения.

СПИСОК ЛИТЕРАТУРЫ

1. Anceau F. Evolution des microprocesseurs et son influence sur l'architecture des systems.— In: Real-Time Data Handling and Process Control/Ed. H. Meyer. Brussels and Luxembourg, North-Holland Publishing Co., ESCS, EEC, EAEC, 1980, p. 227—233.
2. Rembold U. The State of Art and Future Trends of Microcomputer Technology for Industrial Applications.— In: Proc. of the 3d Symposium on Microcomputer and Microprocessor Application. Budapest, 18—21 October 1983, Budapest, OMIKK Technoinform, 1983, p. 17—31.
3. Siskind E. J. Microprocessors in Detectors and Analysis.— In: Proc. of the Intern. Conf. on Instrumentation for Colliding Beam Physics. SLAC—Report 250, Stanford, 1982, p. 137—141.
4. Zacharov V. Parallelism and array processing.— In: Proc. of 1982 CERN School of Computing. CERN, Geneva, Switzerland, 1983, CERN 83-03, p. 66—121.
5. Boberg R. W. Multibus.— IEEE Transactions, October 1980, p. 89—105.

6. **Gallice P., Mathis M.** Autonomous Controller JCAM10 for CAMAC Crate with 8080 Intel Microprocessor. — В кн.: VIII Международный симпозиум по ядерной электронике. Дубна, 1975. Докл., Дубна, ОИЯИ, Д13-9287, 1975, с. 212—222.
7. **Немеш Т.** Автономная программируемая система в стандарте КАМАК на основе микропроцессора. Дубна, ОИЯИ, 1978. 10 с. (Сообщение ОИЯИ 10-11232).
8. **DEC PDP-11 Family.** M11-384-301.— Datapro research corporation. Delran, New York. 1974. 6 p.
9. **Наумов Б. Н., Боярченко М. А., Кабалецкий А. П.** Управляющий вычислительный комплекс СМ-3.— Приборы и системы управления, 1977, № 10, с. 12—15.
10. **Филинов Е. Н., Дедов Ю. А., Мячев А. А.** Технические и программные средства комплексов СМ-3 и СМ-4.— В кн.: Структура, технические средства и организация систем автоматизации научных исследований: Докл., Л.: ЛИЯФ, 1977, с. 64—66.
11. **Микрокомпьютер МЕРА-60.**— Проспект фирмы МЕРА. Варшава, 1979. 12 с.
12. **MDS-800 Microcomputer, Reference Manual.**— Intel— Santa Clara, California, 1975. 193 p.
13. **A Modular Instrumentation System for Data-Handling.** EUR 4100e. Luxembourg, CEC, 1972.
14. **CAMAC 1977.** Kinetic Systems Catalogue. Kinetic Systems.— Lockport, Illinois, 1977. 229 p.
15. **9081 Microna Processor.** Nuclear Interprises Ltd. Beenham, 1980. 4 p.
16. **Verkerk C.** Special Purpose Processors for High Energy Physics Applications.— В кн.: Тр. IX Международного симпозиума по ядерной электронике. Варна, 1978: Докл. Дубна, ОИЯИ, Д13-11182, 1978, с. 128-130.
17. **Verkerk C.** Programmable digital microcircuits. A survey with examples of use.— In: Proc. 1982 CERN School of Computing. CERN 83-03. Geneva, Switzerland, 1983, p. 237—270.
18. **Алиев С. К., Гузик З., Красовски С. и др.** Быстрый цифровой процессор для отбора событий рассеяния при высоких энергиях. Сообщение ОИЯИ, Д13-6065. Дубна, 1971. 9 с.
19. **Notz D.** Triggering and Filtering in Collider Experiments.— In: Proc. 1982 CERN School of Computing. CERN 83-03. Geneva, Switzerland, 1983, p. 229—236.
20. **Larsen R. S.** Status of the FASTBUS Standard Data Bus.— IEEE Transactions, 1981, NS-28, № 2, p. 322—329.
21. **Fastbus Modular High Speed Data Acquisition System for High Energy Physics and Other Applications.** Working group document. Tentative Specification. US NIM Committee, April 1981.
22. **Rochester L. S.** Microprocessors in Physics Experiments at SLAC.— In: Proc of Topical Conference on the Application of Microprocessors to High-Energy Physics Experiments. CERN, Geneva, 1981, p. 204—213.
23. **Dobinson R. W.** Bus Basics.— In: Proc. of 1982 CERN School of Computing. CERN 83-03. Geneva, Switzerland, 1983, p. 156—194.
24. **Müller K. D.** Impact of Integrated Circuit Designs on Existing Standards for Real-Time Handling in Laboratories.— In: Real-Time Data 79 Proceedings, Supplement to Session 7.3 a-1. Luxembourg, CEC, 1979, p. 7.3. a-1.
25. **Organization of Multi-Crate Systems (Parallel Branch Highway).** EUR 4600e. Luxembourg, CEC, 1975.
26. **CAMAC Serial Highway System on Serial Crate Controller Type L-2.** EUR 6100e. Luxembourg, CEC, 1975.
27. **Daniels R. E., Goodwin R. W., Storm M. W.** The NAL Computer Control System. IEEE Transactions, 1977, NS-20, № 3, p. 505—509.
28. **ГОСТ 26.201—80.** Единая система стандартов приборостроения. Система КАМАК. Крейт и сменные блоки. Требования к конструкции и интерфейсу.

29. **Multiple** Controllers in a CAMAC Crate, ESONE Committee. EUR 6500e. Luxembourg, CEC, 1975.
30. **Compatible** Extended Use of the CAMAC Dataway. Draft, Study Group of ESONE Committee, 17th June, 1981. 12 p.
31. **Functional** Specification of a Processor System Bus Interface. Secretariat DIN, Germany, ISO/TC97/SC13, № 195, Rev. 1, June 1979. 159 p.
32. **Standard** Microprocessor System for Data Acquisition Processing and Control. ESONE SSWG, September 1981.
33. **Eurobus** Interface Set. Ferranti Computer Systems Ltd. Bracknell, England, 1981.
34. **VME—Bus**. Elektronik 23, 1981, S. 6, 14, 18.
35. **Wilson K. G.** Theoretical Science and the Future of Large Scale Computing.— CERN Courier, v. 23, № 5, 1983, p. 172.
36. **Nash T., Bracker S., Graines I.** Fermilab's Advanced Computer R & D Program. Fermilab Report, FN-383 2380000, April 1983. 27 p.